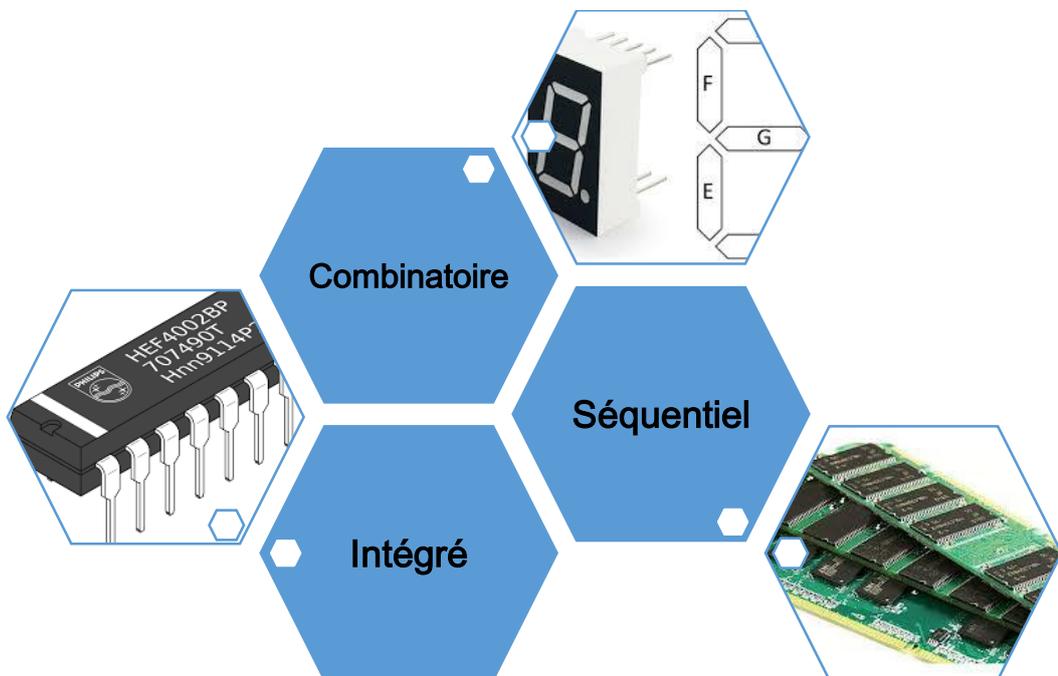


REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
Ministère de l'Enseignement Supérieure et de la Recherche Scientifique
Université Djilali Bounaâma de Khemis Miliana
Faculté des sciences et techniques
Département de maths et informatique
Niveau : Licence 1ère année MI



Solution de la série de TD N°1

(Circuits combinatoires 1)



Exercice N°1 :

⇒ 1-demi-additionneur

a-Schéma symbolique



b-Table de vérité

A _i	B _i	S _i	R _i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

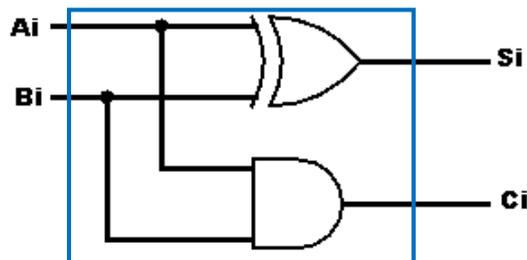
$$\left\{ \begin{array}{l} 0+0=0 \text{ retenue} = 0 \\ 0+1=1 \text{ retenue} = 0 \\ 1+0=1 \text{ retenue} = 0 \\ 1+1=0 \text{ retenue} = 1 \end{array} \right.$$

c- Equations de sortie

De la table de vérité on trouve :

$$\begin{aligned} S_i &= \bar{A}_i B_i + A_i \bar{B}_i \\ &= A_i \oplus B_i \\ R_i &= A_i B_i \end{aligned}$$

d-Schéma logique



⇒ 2- Additionneur complet

a-Schéma symbolique



b-Table de vérité

A _i	B _i	R _{i-1}	S _i	R _i
0	0	0	0	0

0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

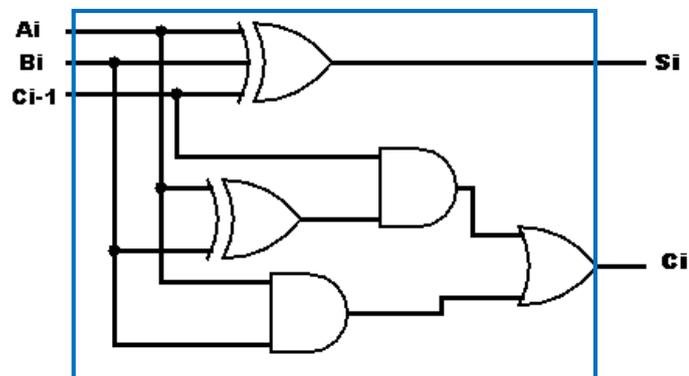
c- Equations de sortie

De la table de vérité on trouve :

$$\begin{aligned}
 S_i &= \bar{A}_i \bar{B}_i R_{i-1} + \bar{A}_i B_i \bar{R}_{i-1} + A_i \bar{B}_i \bar{R}_{i-1} + A_i B_i R_{i-1} \\
 &= \bar{A}_i (\bar{B}_i R_{i-1} + B_i \bar{R}_{i-1}) + A_i (\bar{B}_i \bar{R}_{i-1} + B_i R_{i-1}) \\
 &= \bar{A}_i (B_i \oplus R_{i-1}) + A_i (\overline{B_i \oplus R_{i-1}}) \\
 &= A_i \oplus B_i \oplus R_{i-1}
 \end{aligned}$$

$$\begin{aligned}
 R_i &= \bar{A}_i B_i R_{i-1} + A_i \bar{B}_i R_{i-1} + A_i B_i \bar{R}_{i-1} + A_i B_i R_{i-1} \\
 &= (\bar{A}_i B_i + A_i \bar{B}_i) R_{i-1} + A_i B_i (\bar{R}_{i-1} + R_{i-1}) \\
 &= (A_i \oplus B_i) R_{i-1} + A_i B_i
 \end{aligned}$$

d-Schéma logique :



⇒ 3- pour l'opération de soustraction

⇒ 3.1. Demi-soustracteur

a-Schéma symbolique



En binaire l'addition sur un seul bit se fait de la manière suivante :

b-Table de vérité

$$\begin{cases} 0-0=0 & \text{retenue} = 0 \\ 0-1=1 & \text{retenue} = 1 \\ 1-0=1 & \text{retenue} = 0 \\ 1-1=0 & \text{retenue} = 0 \end{cases}$$

A_i	B_i	D_i	R_i
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

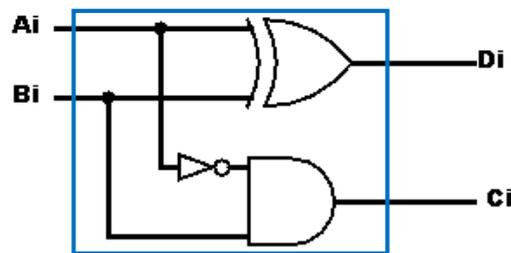
c- Equations de sortie

De la table de vérité on trouve :

$$D_i = \bar{A}_i B_i + A_i \bar{B}_i = A_i \oplus B_i$$

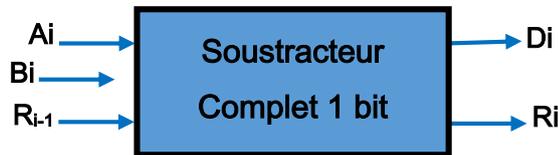
$$R_i = \bar{A}_i B_i$$

d-schéma logique



⇒ **3.2- Soustracteur complet**

a-Schéma symbolique :



b-Table de vérité :

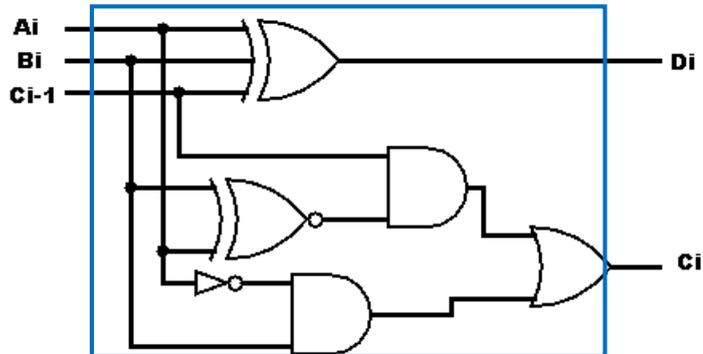
A_i	B_i	R_{i-1}	D_i	R_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

c- Equations de sortie :

$$\begin{aligned} D_i &= \bar{A}_i \bar{B}_i R_{i-1} + \bar{A}_i B_i \bar{R}_{i-1} + A_i \bar{B}_i \bar{R}_{i-1} + A_i B_i R_{i-1} \\ &= \bar{A}_i (\bar{B}_i R_{i-1} + B_i \bar{R}_{i-1}) + A_i (\bar{B}_i \bar{R}_{i-1} + B_i R_{i-1}) \\ &= \bar{A}_i (B_i \oplus R_{i-1}) + A_i (\overline{B_i \oplus R_{i-1}}) \\ &= A_i \oplus B_i \oplus R_{i-1} \end{aligned}$$

$$\begin{aligned}
 R_i &= \bar{A}_i \bar{B}_i R_{i-1} + \bar{A}_i B_i \bar{R}_{i-1} + \bar{A}_i B_i R_{i-1} + A_i B_i R_{i-1} \\
 &= (\bar{A}_i \bar{B}_i + A_i B_i) R_{i-1} + \bar{A}_i B_i (\bar{R}_{i-1} + R_{i-1}) \\
 &= (\bar{A}_i \oplus B_i) R_{i-1} + \bar{A}_i B_i
 \end{aligned}$$

d-Schéma logique :



⇒ 4- circuit Additionneur-soustracteur complet

a-Schéma symbolique



b-Table de vérité :

V	A _i	B _i	R _{i-1}	S _i	R _i
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

c- Equations de sortie :

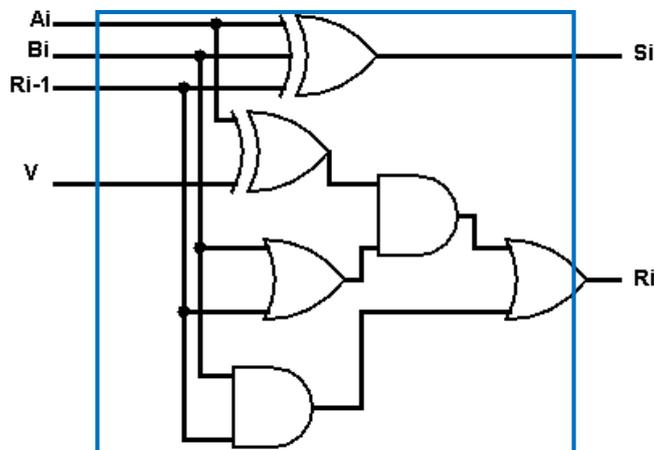
$V A_i$	00	01	11	10
$B_i R_{i-1}$				
00	0	1	1	0
01	1	0	0	1
11	0	1	1	0
10	1	0	0	1

$$\begin{aligned}
 S_i(V, A_i, B_i, R_{i-1}) &= A_i \bar{B}_i \bar{R}_{i-1} + \bar{A}_i \bar{B}_i R_{i-1} + A_i B_i R_{i-1} + \bar{A}_i B_i \bar{R}_{i-1} \\
 &= (\bar{A}_i \bar{B}_i + A_i B_i) R_{i-1} + (A_i \bar{B}_i + \bar{A}_i B_i) \bar{R}_{i-1} \\
 &= (\bar{A}_i \oplus \bar{B}_i) R_{i-1} + (A_i \oplus B_i) \bar{R}_{i-1} \\
 &= A_i \oplus B_i \oplus R_{i-1}
 \end{aligned}$$

$V A_i$	00	01	11	10
$B_i R_{i-1}$				
00	0	0	0	0
01	0	1	0	1
11	1	1	1	1
10	0	1	0	1

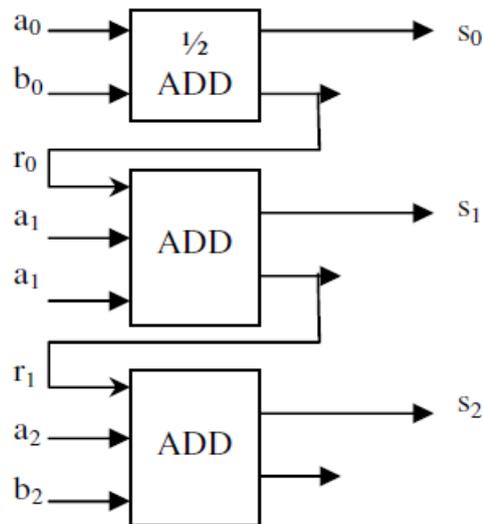
$$\begin{aligned}
 R_i(V, A_i, B_i, R_{i-1}) &= B_i R_{i-1} + \bar{V} A_i R_{i-1} + \bar{V} A_i B_i + V \bar{A}_i R_{i-1} + V \bar{A}_i B_i \\
 &= B_i R_{i-1} + (\bar{V} A_i + \bar{V} A_i) B_i + (V \bar{A}_i + V \bar{A}_i) R_{i-1} \\
 &= B_i R_{i-1} + (V \oplus A_i) B_i + (V \oplus A_i) R_{i-1} \\
 &= B_i R_{i-1} + (V \oplus A_i) (B_i + R_{i-1})
 \end{aligned}$$

d-Schéma logique :



Exercice N°2 :

Schéma logique d'un additionneur à 3 bits :



Exercice N°3 :

a-Schéma symbolique



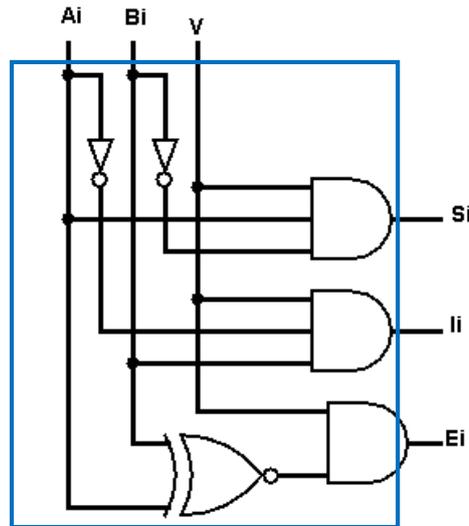
b-Table de vérité

V	A _i	B _i	E _i	S _i	I _i
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

c- expressions logique des sorties :

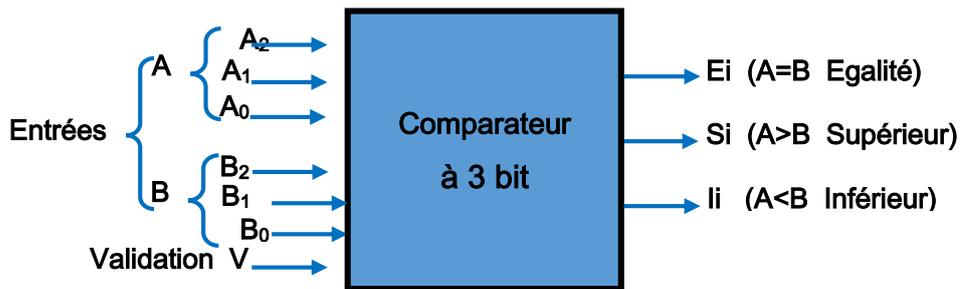
$$\begin{aligned}
 E_i &= \overline{V} \overline{A_i} \overline{B_i} + V A_i B_i \\
 &= V (\overline{A_i} \overline{B_i} + A_i B_i) \\
 &= V (\overline{A_i \oplus B_i}) \\
 S_i &= V A_i \overline{B_i} \\
 I_i &= \overline{V} A_i B_i
 \end{aligned}$$

d-Schéma logique du comparateur :



Exercice N°4 :

a/ Les expressions logiques des sorties E, S et I :



- si la validation $V=0$ est égale à 0 on aura $\Rightarrow E = S = I = 0$
- si la validation $V=1$, on aura le fonctionnement suivant
 - $A=B$ si $(A_2=B_2)$ et $(A_1=B_1)$ et $(A_0=B_0)$

$$\Rightarrow E = E_2 E_1 E_0$$

$$\Rightarrow E = (\overline{A_2 \oplus B_2})(\overline{A_1 \oplus B_1})(\overline{A_0 \oplus B_0})$$
 - $A>B$ si $(A_2>B_2)$ ou $((A_2=B_2)$ et $(A_1>B_1))$ ou $((A_2=B_2)$ et $(A_1=B_1)$ et $(A_0>B_0))$

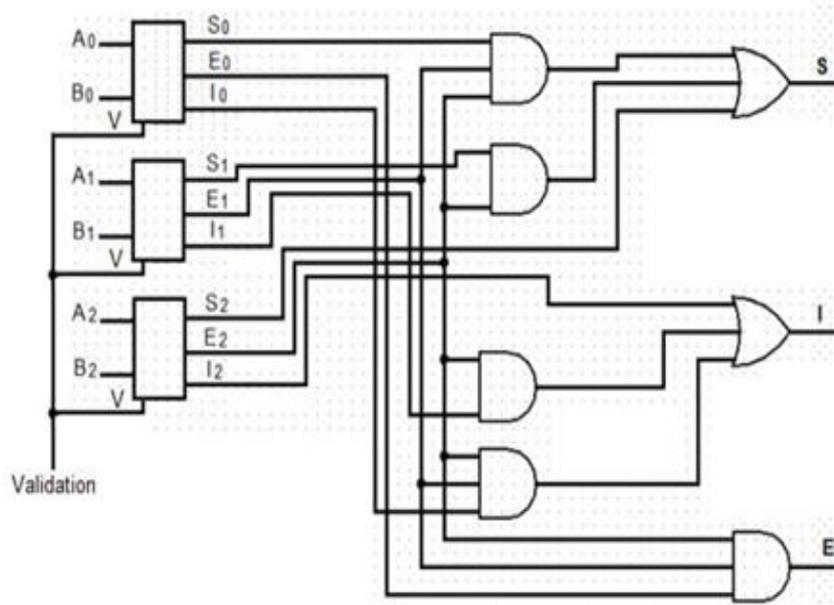
$$\Rightarrow S = S_2 + E_2 S_1 + E_2 E_1 S_0$$

$$\Rightarrow S = A_2 \bar{B}_2 + (\overline{A_2 \oplus B_2}) A_1 \bar{B}_1 + (\overline{A_2 \oplus B_2})(\overline{A_1 \oplus B_1}) A_0 \bar{B}_0$$
 - $A<B$ si $(A_2<B_2)$ ou $((A_2=B_2)$ et $(A_1<B_1))$ ou $((A_2=B_2)$ et $(A_1=B_1)$ et $(A_0<B_0))$

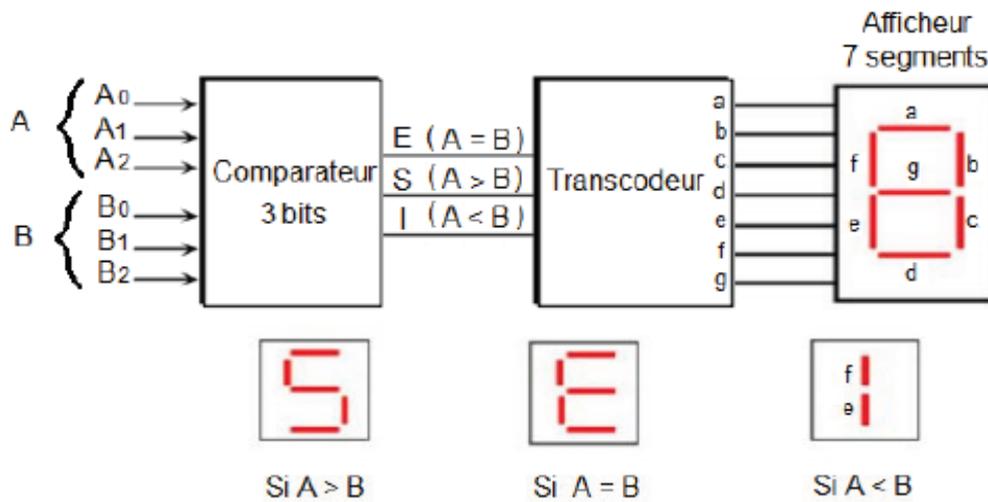
$$\Rightarrow I = I_2 + E_2 I_1 + E_2 E_1 I_0$$

$$\Rightarrow I = \bar{A}_2 B_2 + (\overline{A_2 \oplus B_2}) \bar{A}_1 B_1 + (\overline{A_2 \oplus B_2})(\overline{A_1 \oplus B_1}) \bar{A}_0 B_0$$

b/ schéma interne du comparateur à 3 bits



Exercice N°5 :



a/ Table de vérité du transcodeur

Entrées			Sorties						
E	S	I	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	1	1	0
0	1	0	1	0	1	1	0	1	1
0	1	1	X	X	X	X	X	X	X
1	0	0	1	0	0	1	1	1	1
1	0	1	X	X	X	X	X	X	X
1	1	0	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X

b/ expressions simplifiées des sorties en utilisant le tableau de Karnaugh

	SI	00	01	11	10
E					
0		0	0	X	1
1		1	X	X	X

$a = E + S$

	SI	00	01	11	10
E					
0		0	0	X	0
1		0	X	X	X

$b = 0$

	SI	00	01	11	10
E					
0		0	0	X	1
1		0	X	X	X

$c = S$

	SI	00	01	11	10
E					
0		0	0	X	1
1		1	X	X	X

$d = E + S = a$

	SI	00	01	11	10
E					
0		0	1	X	0
1		1	X	X	X

$e = E + I$

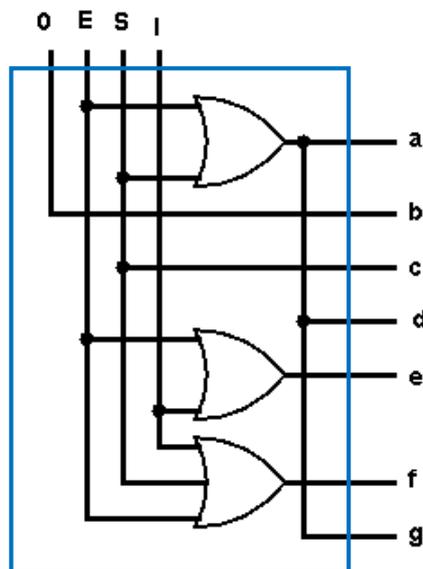
	SI	00	01	11	10
E					
0		0	1	X	1
1		1	X	X	X

$f = E + S + I$

	SI	00	01	11	10
E					
0		0	0	X	1
1		1	X	X	X

$g = E + S = a$

c/schéma interne du transcodeur



Exercice N°6 :

a/ Table de vérité du multiplieur de deux mots à deux bits

X		Y		Z				X*Y=Z
X ₁	X ₀	Y ₁	Y ₀	Z ₃	Z ₂	Z ₁	Z ₀	
0	0	0	0	0	0	0	0	0*0=0
0	0	0	1	0	0	0	0	0*1=0
0	0	1	0	0	0	0	0	0*2=0
0	0	1	1	0	0	0	0	0*3=0
0	1	0	0	0	0	0	0	1*0=0
0	1	0	1	0	0	0	1	1*1=1
0	1	1	0	0	0	1	0	1*2=2
0	1	1	1	0	0	1	1	1*3=3
1	0	0	0	0	0	0	0	2*0=0
1	0	0	1	0	0	1	0	2*1=2
1	0	1	0	0	1	0	0	2*2=4
1	0	1	1	0	1	1	0	2*3=6
1	1	0	0	0	0	0	0	3*0=0
1	1	0	1	0	0	1	1	3*1=3
1	1	1	0	0	1	1	0	3*2=6
1	1	1	1	1	0	0	1	3*3=9

b/ Expressions simplifiées des sorties

X ₁ X ₀ \ Y ₁ Y ₀	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	0
10	0	0	0	0

X ₁ X ₀ \ Y ₁ Y ₀	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	1
10	0	0	1	1

$$Z_3 (X_1, X_0, Y_1, Y_0) = X_1 X_0 Y_1 Y_0$$

X ₁ X ₀ \ Y ₁ Y ₀	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	0	1	0	1
10	0	1	1	1

$$Z_2 (X_1, X_0, Y_1, Y_0) = X_1 \bar{X}_0 Y_1 + X_1 Y_1 \bar{Y}_0$$

X ₁ X ₀ \ Y ₁ Y ₀	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$$Z_1 (X_1, X_0, Y_1, Y_0) = X_1 \bar{X}_0 Y_0 + X_1 \bar{Y}_1 Y_0 + \bar{X}_1 X_0 Y_1 + X_0 Y_1 \bar{Y}_0$$

$$Z_0 (X_1, X_0, Y_1, Y_0) = X_0 Y_0$$

c/ Schéma logique d'un multiplieur à deux bits

