

Chapitre 3 : Technologie des circuits logiques intègres

3-1 Introduction

Les circuits intégrés logiques sont classés suivant leur technologie de fabrication (bipolaire TTL, bipolaire ECL, MOS,...). Pour un fonctionnement logique identique, chaque technologie offre des performances différentes sur le plan électrique (tensions, courants, puissances) et temporel (rapidité). Une famille logique est caractérisée par ses paramètres électriques :

- La plage des tensions d'alimentation et la tolérance admise sur cette valeur,
- La plage des tensions associée à un niveau logique, en entrée ou en sortie,
- Les courants pour chaque niveau logique, en entrée ou en sortie,
- Le courant maximum que l'on peut extraire d'une porte logique et le courant absorbé en entrée,
- La puissance maximale consommée qui dépend souvent de la fréquence de fonctionnement.

Les performances dynamiques principales sont :

- Les temps de montée (transition bas-haut) et de descente (transition haut-bas) des signaux en sortie d'une porte,
- Les temps de propagation d'un signal entre l'entrée et la sortie d'une porte logique.

Les C.I. peuvent être regroupés comme suit :

Gamme	Nbre de porte/mm ²	Exemple de C.I.
SSI small scale integration	<12	Portes (ou, et, ...), bascules
MSI medium scale integration	12 à 99	Compteurs, registres, additionneurs,
LSI large scale integration	100 à 9999	Mémoires, microcontrôleurs, microprocesseurs...
VLS very large scale integration	10000 à 99.999	Mémoires, microcontrôleurs, microprocesseurs...
ULSI ultra large scale integration	>100.000	Mémoires, microcontrôleurs, microprocesseurs...

- Leurs sorties soient TOTEM POLE, collecteur ouvert ou sortie à trois états
- Le type de transistor utilisé :

1) Bipolaires la principale famille est TTL (transistor transistor logique)

2) Unipolaires la plus répandue est la famille CMOS (complémentaire métal oxyde semi-conducteur)

3-2 Caractéristiques d'un circuit intégré

Les caractéristiques d'un C.I. sont regroupés dans les fiches techniques du fabricant qu'on peut télécharger à partir de leurs sites internet.

3-2-1 Caractéristiques mécaniques :

- **Le boîtier :**

1- Les boîtiers plat (flat package) ont de très faible épaisseur et ils sont soudés du côté composants

2- Les boîtiers DIP ou DIL (dual in line) c'est les plus fréquents, ils ont de 8 à 64 broches réparties en 2 lignes.

On trouve des DIL en plastique ou en céramique suivant le matériau utilisé pour protéger le circuit.

Lorsque les broches sont réparties uniquement sur un seul côté on parle d'un boîtier SIP ou SIL (single in line)

3- Les boîtiers SO (small outline) c'est un boîtier où l'espace entre les broches est très réduit (x2), les broches sont codées et courtes pour une soudure coté composants (CMS).

4- Les boîtiers PIN GRID ARRAY (réseau de connexions) les broches sont réparties sur la périphérie du circuit suivant un ou plusieurs tours.

- **Gamme de température :**

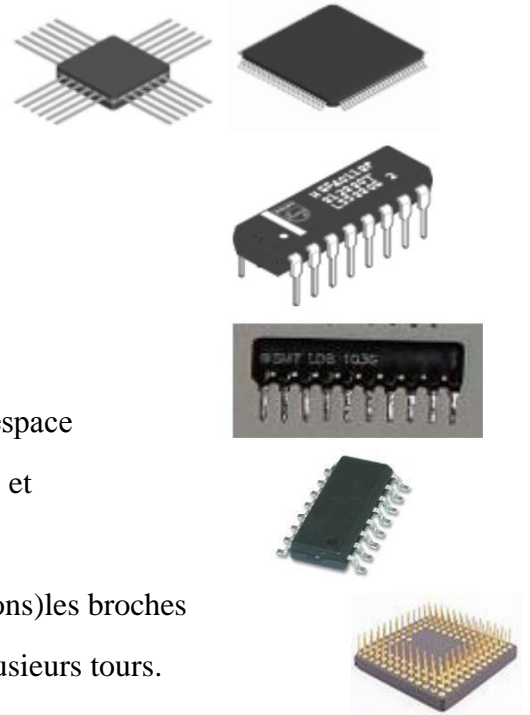
Les circuits sont classés en deux grandes catégories suivant la plage de température de fonctionnement :

- la gamme dite militaire de -55 à +125°C
- la gamme industrielle de 0 à 70°C

3-2-2 Caractéristiques électriques

2 Paramètres de courants et de tensions

- $V_{IH}(\min)$: tension d'entrée niveau haut, c'est le niveau minimale de tension acceptable pour un '1' à l'entrée.
- $V_{IL}(\max)$: tension d'entrée niveau bas, c'est le niveau de tension maximal pour avoir un niveau '0' en entrée.
- $V_{OH}(\min)$ / $V_{OL}(\max)$: tension de sortie niveau haut / niveau bas
- I_{IH} / I_{IL} : courant d'entrée niveau haut / niveau bas
- I_{OH} / I_{OL} : courant de sortie niveau haut / niveau bas



2 Retard de propagation

Le temps de propagation c'est le temps nécessaire pour que la sortie commute à la suite d'un changement des entrées du circuit. Il y a deux types de retards de propagation : t_{PLH} : retard pour que la sortie passe du niveau bas (Low) au niveau haut (High)

t_{PHL} : retard pour que la sortie passe du niveau haut au niveau bas.

3 Consommation

Les C.I. sont alimentés par une tension constante appelée V_{CC} (ou V_{DD}). Le courant absorbé par le C.I. est variable suivant l'état des sorties, on définit alors les courants suivants :

I_{CCH} / I_{CCL} : courant qui est absorbé lorsque sorties sont au **niveau haut / niveau bas**

La consommation moyenne est donnée par :

$$P_{Dmoy} = I_{CC} (moy) \cdot V_{CC} \quad \text{Avec : } I_{CC} (moy) = (I_{CCH} + I_{CCL})/2$$

4 Sortance

La sortance est définie comme étant le nombre maximal de portes du même type qu'on peut brancher à une même sortie. Généralement elle faut la calculer à partir des paramètres courants. On calcule le nombre de porte qu'on peut brancher à l'état bas et à l'état haut :

$N_1 = I_{OL} (max) / I_{IL} (max)$: Est le nombre maximal de portes qu'on peut brancher sur la sortie au niveau bas.

$N_2 = I_{OH} (max) / I_{IH} (max)$: Est le nombre maximal de portes qu'on peut brancher sur la sortie au niveau haut

La sortance est égale au minimum des deux nombres N_1 et N_2

1 Marge de sensibilité aux bruits

Les états des niveaux logiques pour une sortie et pour une entrée sont schématisés sur figure A. Les marges de sensibilité sont définies par :

$V_{NH} = V_{OH} (min) - V_{IH} (min)$: Marge de sensibilité à l'état haut

$V_{NL} = V_{IL} (min) - V_{IL} (min)$: Marge de sensibilité à l'état bas

Toute tension inférieure à $V_{OL} (max)$ est traduite comme un niveau bas à la sortie.

Toute tension inférieure à $V_{IL} (max)$ est traduite comme un niveau bas à l'entrée.

Toutes tensions comprises entre V_{CC} et $V_{OH} (min)$ ($V_{IH} (min)$) sont considérées comme niveau haut en sortie (entrée). Les tensions qui se trouvent dans la bande indéterminée ne doivent jamais apparaître sur la borne de sortie ou d'entrée.

Quand une sortie logique à l'état haut attaque l'entrée d'un circuit logique, et si un champ électromagnétique extérieur provoque une pointe de tension négative supérieure à V_{NH} qui va parasiter la ligne du signal (de la sortie à l'entrée). Cette pointe de tension provoquera un abaissement de la tension à l'entrée du circuit et qui va se retrouver dans la bande indéterminée et le fonctionnement du circuit devient imprévisible. De même pour une sortie à l'état bas avec une pointe positive supérieure à V_{NL} on aura le même problème.

Les circuits qui possèdent une marge de sensibilité plus grande sont conçus pour fonctionner dans un environnement très parasité.

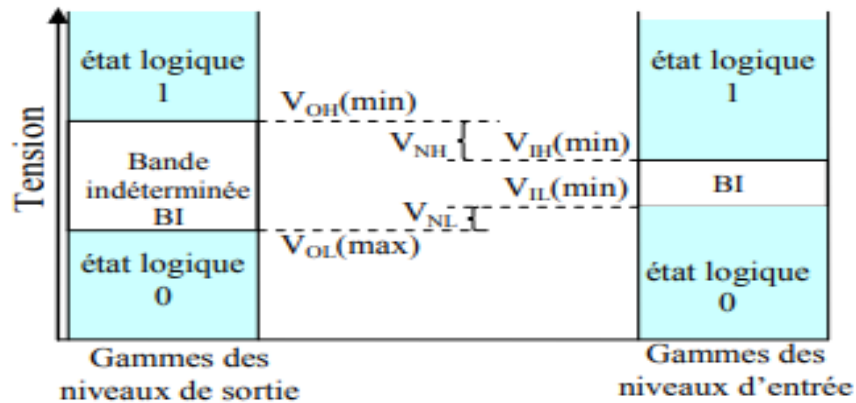


Figure A

3-3 Sorties des C.I. de la famille TTL

Il existe trois types de sortie des circuits de la famille TTL :

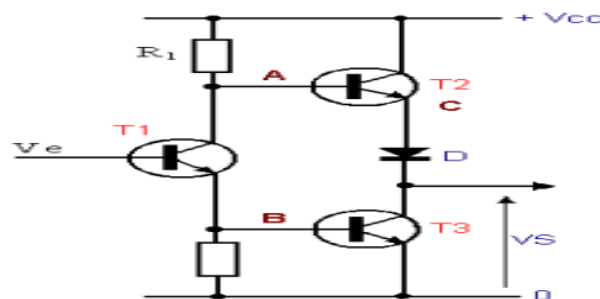
3-3-1 Sortie TOTEM : C'est le circuit de sortie des C.I. TTL connu sous le nom de totem pole.

- Lorsque $V_e = '0'$, T_1 est bloqué donc T_3 est bloqué.

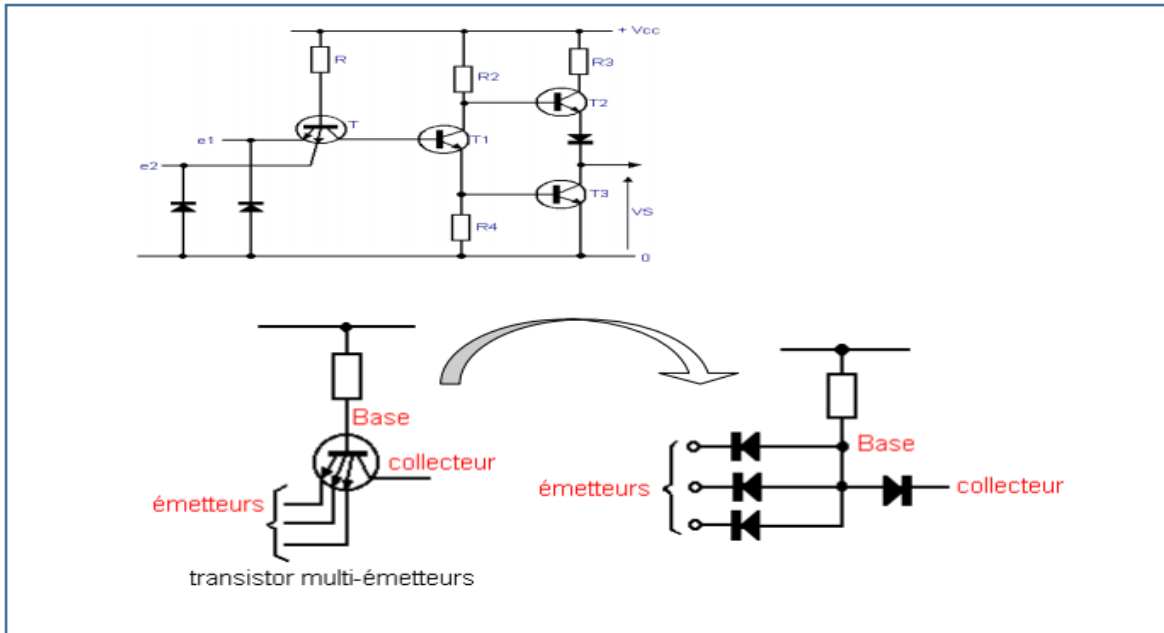
La base de T_2 est alimentée par V_{CC} à travers R_1 , donc T_2 est saturé, et le courant de l'émetteur est fourni à la sortie à travers la diode D . La sortie est donc au niveau '1'.

- Lorsque $V_e = '1'$, T_1 est saturé, son courant

Émetteur va permettre la saturation de T_3 , ce qui va amener la tension du point $B \approx 0.6V$ et la tension au point $A \approx 0.6V$ puisque T_1 est saturé. Le transistor T_2 est donc bloqué à cause de la présence de la diode D qui nécessite $0.6V$ pour conduire (pour que T_2 conduise il faut une tension de base de $1.2V$). La sortie est donc au niveau '0'. Ce circuit représente donc un inverseur.



En réalité, le circuit de sortie est un peu modifié dans les C.I. pour régler les problèmes de fuite, de sécurités des transistors. Le schéma d'un NAND par exemple est :



3-3-2 Sortie COLLECTEUR OUVERT (drain ouvert pour CMOS)

Le montage pour une sortie à collecteur ouvert est donné sur le schéma de la figure B. La sortie est prise à partir du collecteur du transistor T3 qu'est non connecté (d'où le nom collecteur ouvert). Pour que ce montage fonctionne il faut ajouter une résistance extérieure pour relier le collecteur à VCC. Cette résistance est calculée à partir des courants d'entrée du circuit attaqué et des courants de sorties du circuit.

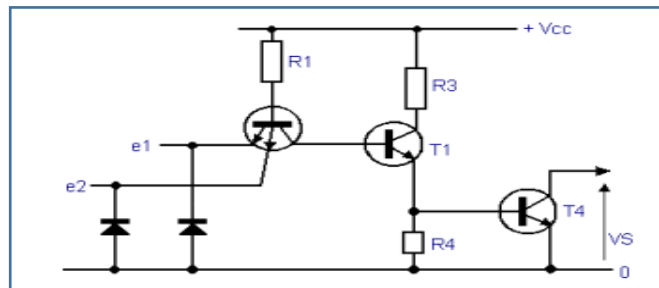
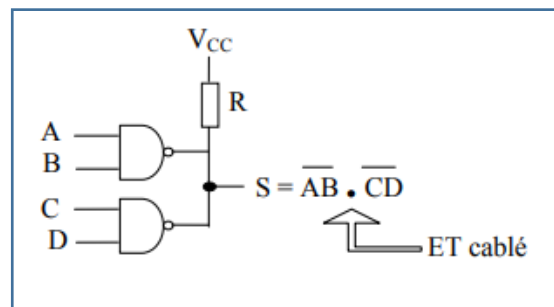


Figure B

Ce type de sortie est utilisé principalement :

- Pour réaliser un « ET CABLE » : Contrairement à une sortie standard totem pole, il est possible de relier plusieurs sorties sans risque de conflit. Le fait de raccorder les sorties est équivalent à un ET.



3-3-3 Sortie TROIS ETAT :

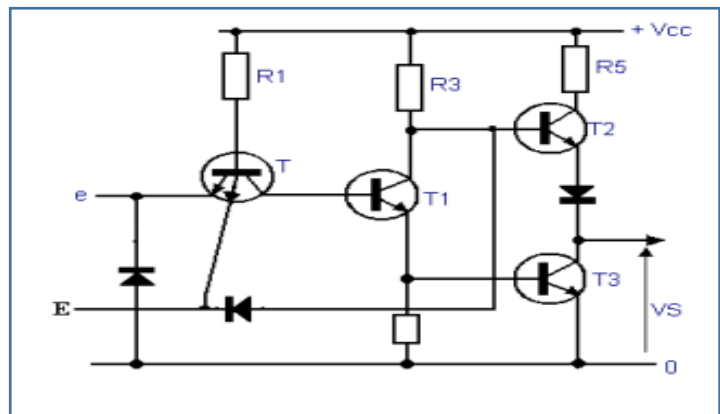
C'est un troisième type de circuits de sortie pour TTL (existe aussi en CMOS). Il possède trois états de sortie possibles : haut, bas et haute impédance (tristate). L'état haute impédance se réalise lorsque les deux transistors en totem sont bloqués tous les deux, la sortie présente donc un état de haute impédance par rapport à la masse.

Exemple : Inverseur à trois états.

Lorsque l'entrée de validation $E = '1'$ le circuit est un inverseur normale.

Lorsque $E = '0'$ les deux transistors sont bloqués, et la sortie présente un état haute impédance.

Ce type de circuit est utilisé pour connecter simultanément plusieurs circuits sur un même bus, un seul des circuits est connecté à un instant, les autres sont en haute impédance pour éviter les conflits. C'est le cas dans les microsystèmes avec le bus de données sur lequel sont raccordés de nombreux circuits (RAM, ROM ...)



3-4 Familles des circuits intégrés (C.I.)

Dans le marché les C.I. se présentent sous plusieurs familles, les principales familles sont :

3-4-1 Famille TTL : Transistors Transistors Logic

Les C.I. de cette famille ont comme numéro d'identifications 74 ou 54. La série 54 se distingue par une plage plus large pour la tension d'alimentation et pour la température de fonctionnement (-55 à 125°C) elle est coûteuse, donc réservée aux utilisations dans des conditions ambiantes extrêmes : militaire, engins spatiaux,...

Pour distinguer entre différents fabricants des C.I.

un préfixe est réservé sur le face du C.I. :

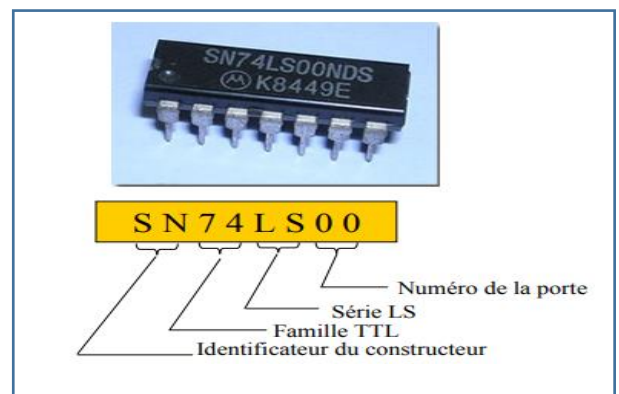
SN7402, DM7402, S7402...

SN: Texas instruments

DM : National semi-conducteur

S : Signetics

a. Les principales séries TTL :



Les différents critères entre les séries TTL sont :

- La consommation
- La vitesse

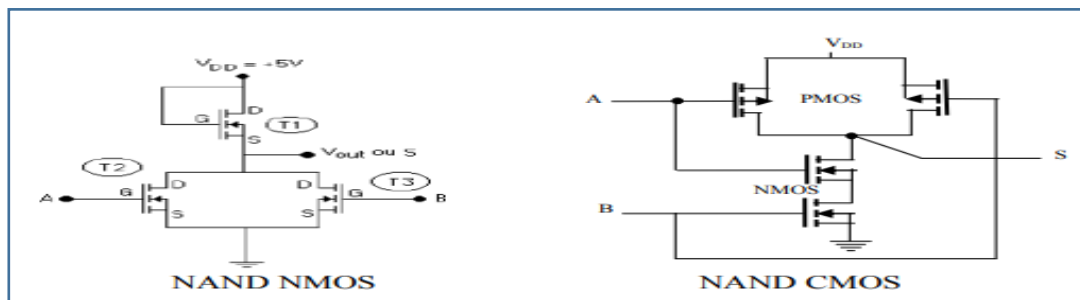
Le tableau suivant regroupe les principales caractéristiques des différentes séries TTL

Série		Caractéristiques de fonctionnement
74	C'est la série standard elle offre un bon compromis entre vitesse et consommation	Gamme d'alimentation : 5 V+/- 5V.
74L	Possède une consommation réduite mais un temps de propagation plus élevé	• Gamme de température 0 °C à + 70 °C.
74H	Possède une vitesse de commutation plus rapide et consommation grande	• Puissance dissipée : environ 2 mW par porte (série LS). Fréquence de fonctionnement : jusqu'à 3MHz.
74S	Elle est deux fois plus rapide que 74H pour la même consommation	
74LS	Faible consommation et moins rapide que 74S	
74AS	Fonctionne plus rapide et consomme moins elle meilleure que 74S	• Sortance : jusqu'à 20 (série LS). (Nombre d'entrées que l'on peut relier à une sortie de porte)
74ALS	Meilleure version que 74LS	

Description	Symbol	74S	74LS	74AS	74ALS	74F
Maximum propagation delay (ns)		3	9	1.7	4	3
Power consumption per gate (mW)		19	2	8	1.2	4
Speed-power product (pJ)		57	18	13.6	4.8	12
LOW-level input voltage (V)	V_{ILmax}	0.8	0.8	0.8	0.8	0.8
LOW-level output voltage (V)	V_{OLmax}	0.5	0.5	0.5	0.5	0.5
HIGH-level input voltage (V)	V_{IHmin}	2.0	2.0	2.0	2.0	2.0
HIGH-level output voltage (V)	V_{OHmin}	2.7	2.7	2.7	2.7	2.7
LOW-level input current (mA)	I_{ILmax}	-2.0	-0.4	-0.5	-0.2	-0.6
LOW-level output current (mA)	I_{OLmax}	20	8	20	8	20
HIGH-level input current (μ A)	I_{IHmax}	50	20	20	20	20
HIGH-level output current (μ A)	I_{OHmax}	-1000	-400	-2000	-400	-1000

3-4-2 Famille MOS et CMOS : "Complementary Metal Oxide Semi-conductor"

Présentation : La famille MOS regroupe les PMOS (que des transistors de type P) et les NMOS (que des transistors de type N), la famille CMOS utilise les deux types de transistors. Ci-dessous un exemple de porte conçu à partir de la famille NMOS et CMOS.



Le premier dispositif MOS est apparu en 1960. Son développement a été rendu possible par les progrès réalisés par la technologie TTL. Cette famille est réalisée avec des transistors à effet de champs.

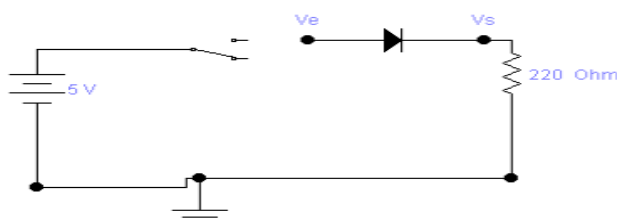
Les avantages de cette famille :

- L'alimentation peut aller de 3V à 18V. Mais les performances dynamiques se dégradent aux faibles niveaux d'alimentation.
- Le courant d'entrée est nul, car elle est réalisée avec des transistors à effet de champs. (Les transistors à effet de champs sont commandés en tension).
- Une excellente immunité au bruit. Les inconvénients de cette famille.
- La vitesse de commutation est plus faible que pour la technologie TTL.

Série	Caractéristique de fonctionnement
Série 4000 : 40 00 B (sorties bufférisées : amplifiées) 40 00 UB (sorties non-bufférisées) <ul style="list-style-type: none"> • Série 74 : 74 C 00 (identique à la série 4000) 74 HC 00 (High-speed CMOS : CMOS rapides)	<ul style="list-style-type: none"> • Gamme d'alimentation : de 3 V à 15V. • Gamme de température : - 40 °C à + 85 °C. Puissance dissipée : environ 10 nW par porte. <ul style="list-style-type: none"> • Fréquence de fonctionnement : jusqu'à 12 MHz. • Sortance : jusqu'à 50 (série 4000B). (Nombre d'entrées que l'on peut relier à une sortie de porte) <ul style="list-style-type: none"> • Excellente immunité aux bruits

3-5 Matérialisation de quelques fonctions logiques

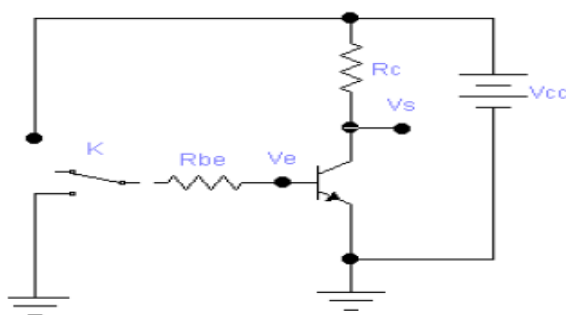
- **Fonction égale :**



Ve	Vs
5v	4,4v « 1 »
0v	0v « 0 »

Ve est à l'état haut/bas ; Vs est l'état haut/bas, la fonction ainsi réalisée est égalité

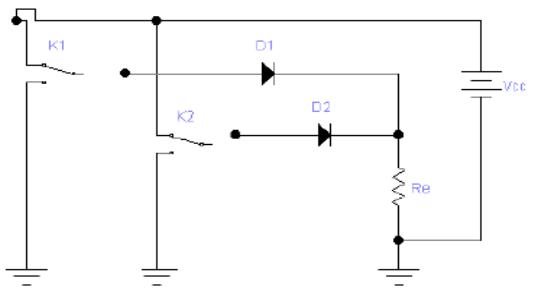
- **Fonction NON :**



La table de vérité :

Ve	Vs
+Vcc : T saturé	0v « 0 logique »
0v : T bloqué	5v « 1 logique »

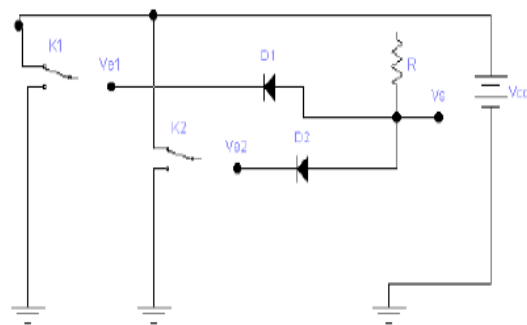
• **Fonction OU « OR »**



La table de vérité est la suivante :

Ve1	Ve2	Vs
0 volt « 0 »	0 volt « 0 »	0 volt « 0 logique »
0 volts « 0 »	5 volt « 1 »	4,4 volts « 1 logique »
5 volts « 1 »	0 volt « 0 »	4,4 volts « 1 logique »
5 volts « 1 »	5 volt « 1 »	4,4 volts « 1 logique »

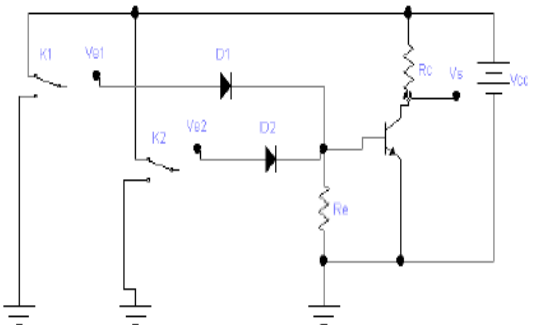
• **Fonction ET « And »**



la table de vérité est la suivante :

Ve1	Ve2	Vs
0 volt « 0 »	0 volt « 0 »	0,6 volt « 0 logique »
0 volts « 0 »	5 volt « 1 »	0,6 volts « 0 logique »
5 volts « 1 »	0 volt « 0 »	0,6 volts « 0 logique »
5 volts « 1 »	5 volt « 1 »	5 volts « 1 logique »

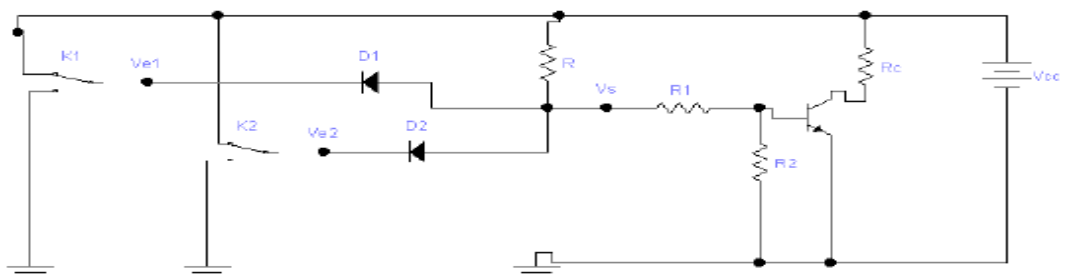
• **Fonction NOR « NON OU »**



La table de vérité est la suivante :

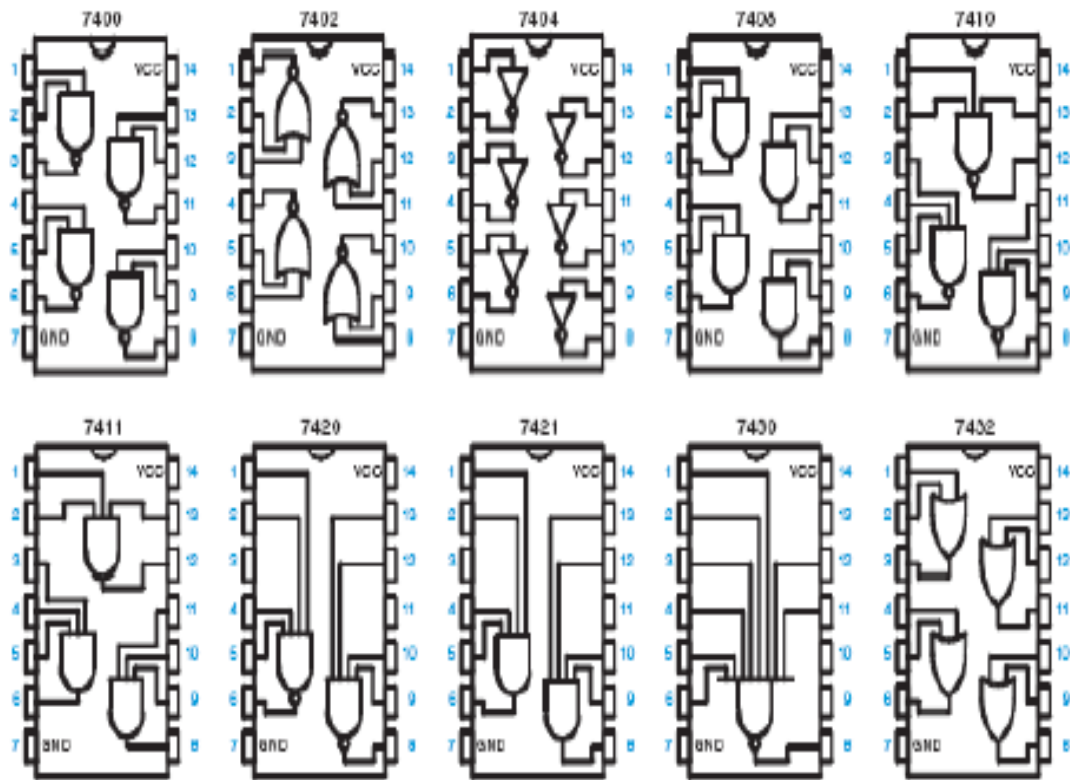
Ve1	Ve2	Vs
0 volt « 0 »	0 volt « 0 »	Tr bloqué Vs=5v « 1 logique »
0 volts « 0 »	5 volt « 1 »	Tr saturé Vs=0v « 0 logique »
5 volts « 1 »	0 volt « 0 »	Tr saturé Vs=0v « 0 logique »
5 volts « 1 »	5 volt « 1 »	Tr saturé Vs=0v « 0 logique »

• **Fonction NAND « Non ET »**



La table de vérité est la suivante :

Ve1	Ve2	Vs
0 volt « 0 »	0 volt « 0 »	Tr bloqué Vs=5v « 1 logique »
0 volts « 0 »	5 volt « 1 »	Tr bloqué Vs=5v « 1 logique »
5 volts « 1 »	0 volt « 0 »	Tr bloqué Vs=5v « 1 logique »
5 volts « 1 »	5 volt « 1 »	Tr saturé Vs=0v « 0 logique »



Circuits logiques standard de la famille 74xx