

La chaîne d'acquisition

Structure d'une chaîne d'acquisition numérique

I Principe

Une chaîne d'acquisition numérique peut se représenter selon la figure suivante :

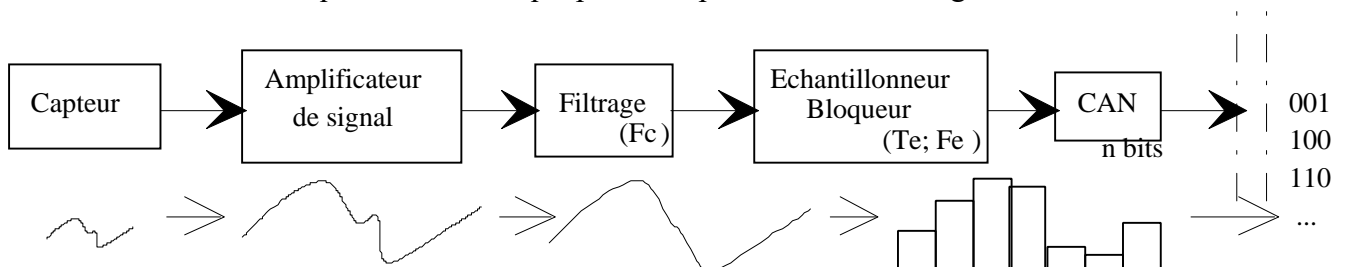


Figure 1: Structure de l'acquisition numérique

Elle est souvent associée à une chaîne de restitution :

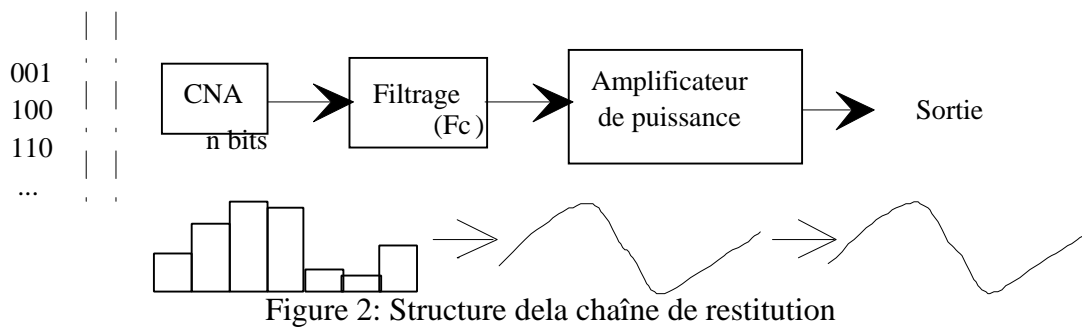


Figure 2: Structure de la chaîne de restitution

On peut définir très simplement le rôle de chacun des éléments.

1.1 Capteur

Il est l'interface entre le monde physique et le monde électrique. Il va délivrer un signal électrique image du phénomène physique que l'on souhaite numériser. Il est toujours associé à un circuit de mise en forme.

1.2 Amplificateur de signal

Cette étape permet d'adapter le niveau du signal issu du capteur à la chaîne globale d'acquisition.

1.3 Filtre d'entrée

Ce filtre est communément appelé **filtre anti-repliement**. Son rôle est de limiter le contenu spectral du signal aux fréquences qui nous intéressent. Ainsi il élimine les parasites. C'est un filtre passe bas que l'on caractérise par sa fréquence de coupure et son ordre.

1.4 L'échantillonneur

Son rôle est de prélever à chaque période d'échantillonnage (T_e) la valeur du signal. On l'associe de manière quasi-systématique à un bloqueur. Le bloqueur va figer l'échantillon pendant le temps nécessaire à la conversion. Ainsi durant la phase de numérisation, la valeur de la tension de l'échantillon reste constante assurant une conversion aussi juste que possible. On parle d'**échantillonneur bloqueur**.

1.5 Le convertisseur analogique numérique (CAN)

Il transforme la tension de l'échantillon (analogique) en un code binaire (numérique).

1.6 La zone de stockage

Elle peut être un support de traitement (DSP, ordinateur), un élément de sauvegarde (RAM, Disque dur) ou encore une transmission vers un récepteur situé plus loin.

1.7 Le convertisseur numérique analogique (CNA)

Il effectue l'opération inverse du CAN, il assure le passage du numérique vers l'analogique en restituant une tension proportionnelle au code numérique.

1.8 Le filtre de sortie

Son rôle est de « lisser » le signal de sortie pour ne restituer que le signal utile. Il a les mêmes caractéristiques que le filtre d'entrée.

1.9 Amplificateur de puissance

Il adapte la sortie du filtre à la charge.

1.10 Performances globale

1.10.1 Fréquence de fonctionnement

On peut définir la vitesse limite d'acquisition. Elle va dépendre du temps pris pour effectuer les opérations de :

- Echantillonnage T_{ech}
- Conversion T_{conv}
- Stockage T_{stock}

Ainsi la somme de ces trois temps définit le temps minimum d'acquisition et donc la fréquence maximum de fonctionnement de la chaîne :

$$T_{acq} = T_{ech} + T_{conv} + T_{stock} \text{ soit } F_{max} = \frac{1}{T_{ech} + T_{conv} + T_{stock}}$$

1.10.2 Résolution de la chaîne

La numérisation d'un signal génère un code binaire sur N bits. On obtient donc une précision de numérisation de $1/2^N \%$.

Il faut donc que tous les éléments de la chaîne de conversion aient au moins cette précision. On leur demande en général une résolution absolue de $(0.5 * 1/2^N \%)$.

II Acquisition de plusieurs grandeurs

Dans le cadre d'une chaîne d'acquisition traitant plusieurs capteurs (N) vers une même zone de stockage, il existe différentes structures qui diffèrent en terme de performances et de coût.

N Capteurs \Rightarrow 1 zone de stockage (traitement) numérique

II.1 Acquisition séquentielle décalée

Elle se base sur l'utilisation en amont d'un multiplexeur qui va orienter un capteur vers la chaîne unique d'acquisition :

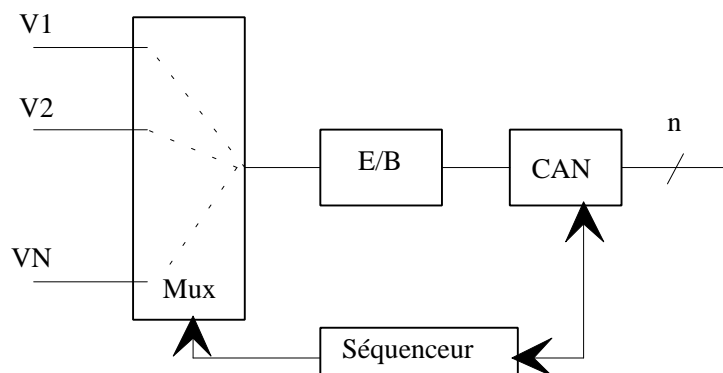


Figure 3: Structure séquentielle décalée

L'avantage de cette structure est bien évidemment son côté économique.

Par contre il y a un décalage dans le temps des acquisitions. On réservera donc cette structure ne nécessitant pas une synchronisation entre les données numérisées. De plus le temps d'acquisition complet est à priori élevé car proportionnel au nombre de capteur.

II.2 Acquisition séquentielle simultanée

De manière à avoir des acquisitions « synchrones », on utilise la même structure que précédemment mais en utilisant des Echantillonneurs Bloqueurs (E/B) en amont du multiplexeur. On est dans une situation d'E/B en tête.

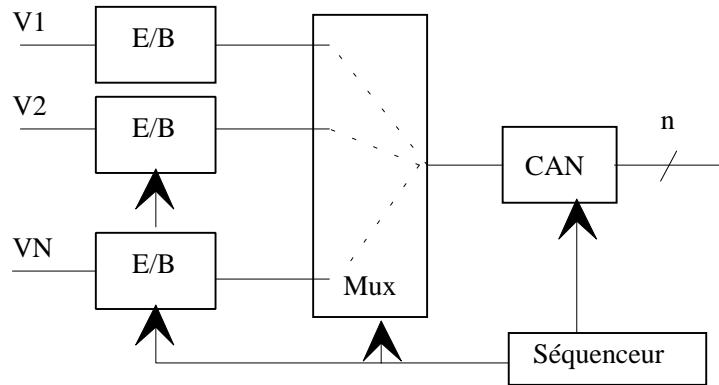


Figure 4: Structure séquentielle simultanée

La prise des échantillons s'effectue au même instant, la conversion est effectuée de manière progressive. Cela signifie que les E/B assurent un maintien de l'échantillon durant les N acquisitions sans introduire de pertes supérieures à la résolution du CAN.

Son coût est moyen.

II.3 Acquisition parallèle

C'est la structure la plus complète puisqu'elle consiste à disposer N chaînes d'acquisition en parallèle et de les connecter sur un bus de données commun.

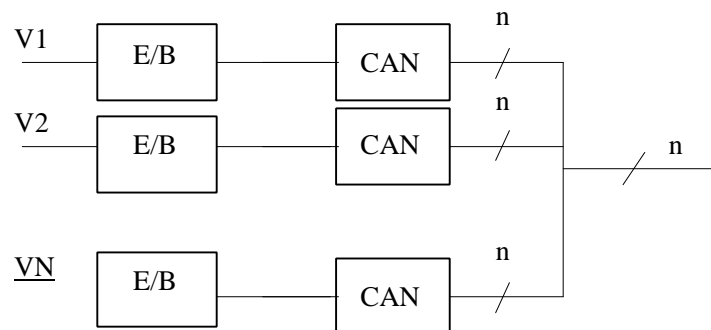


Figure 5: Structure parallèle

Avec cette structure, il est possible d'effectuer en même temps l'acquisition d'une donnée pendant que l'on en stocke une autre. De même, toutes les conversions peuvent être simultanées, le stockage s'effectuant après. Cela permet un gain de temps sur l'acquisition complète. Mais elle est coûteuse.

Les Convertisseurs Numériques Analogiques

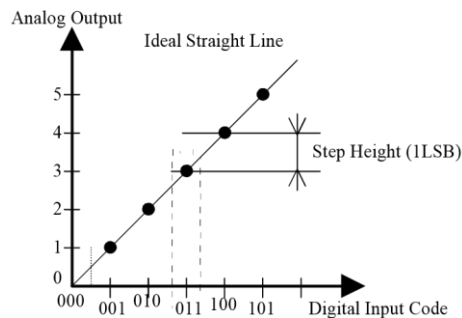
Les Convertisseurs Numériques Analogiques

I Rôle

I.1 Définition

On souhaite à partir d'une information numérique, codée sur n bits, récupérer un signal analogique, image du numérique.

$$b_{n-1}b_{n-2}\dots b_0 \Rightarrow V_{out} = \frac{V_{ref}}{2^n} [b_{n-1}2^{n-1} + b_{n-2}2^{n-2} + \dots + b_12^1 + b_02^0]$$



La tension de sortie est obtenue en effectuant une opération de sommation sur n grandeurs multiples de deux les unes par rapport aux autres.

I.2 Principe

Chaque bit va être associé à un interrupteur qui connectera (1) ou non (0) une source (de courant) sur la sortie.

III II Structure de CNA

II.1 CNA à résistances pondérées (parallèles)

A un montage de sortie qui fait office de convertisseur courant - tension, on associe un réseau parallèle de n résistances de valeurs multiples de 2 entre elles. Ces n résistances jouent le rôle de source de courant.

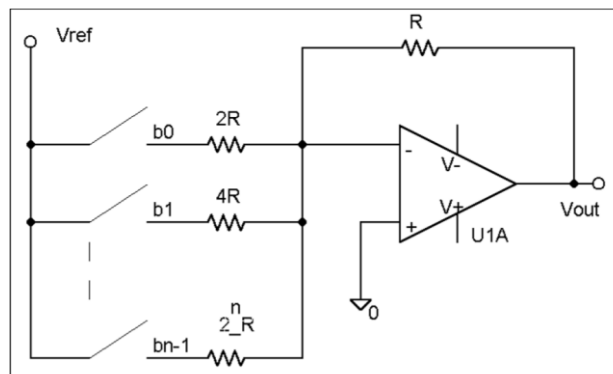


Figure 1 : CNA à réseau parallèle

$$V_{out} = \frac{V_{ref}}{2} [b_{n-1}2^{n-1} + b_{n-2}2^{n-2} + \dots + b_12^1 + b_02^0]$$

Bien que très simple comme structure, elle pose un problème pour la réalisation des résistances. Dans le cas d'un CNA 8 bits, il faut une précision inférieure à 0.4% sur la fabrication des résistances. De plus la gamme de variation des résistances va de 1 à 2^n . Leur valeur doit de plus être très supérieure à la valeur des R_{on} des interrupteurs. La linéarité du convertisseur sera liée à la précision des résistances. Un convertisseur de 16 bits sur ce principe n'est pas réaliste.

On voit simplement qu'un offset sur l'A.Op. de sortie entrainera une translation de la droite de transfert vers la droite ou la gauche. De même, la résistance permettant la conversion courant tension, si elle est incorrecte, entrainera une erreur de gain.

II.2 Réseau R-2R : structure en échelle à commutation de courant

Ce type de CNA, qui est le CNA conventionnellement utilisé, ne fait appel qu'à deux valeurs de résistances différentes ($R - 2R$) ce qui simplifie ainsi sa mise en œuvre par rapport à la structure parallèle précédente.

III.2.1 Cas 1 cellule

La structure du CNA R-2R s'oriente autour du montage ci-dessous :

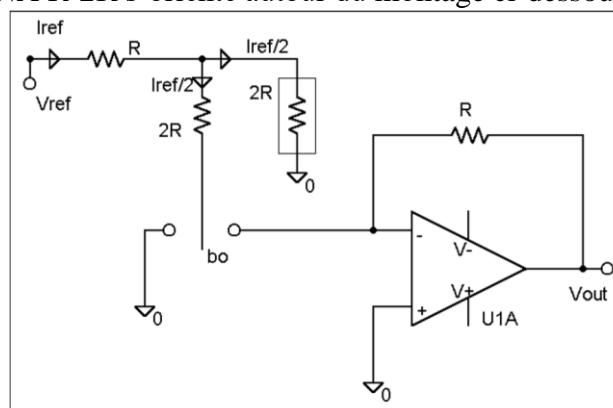


Figure 2 : Réseau R-2R à une cellule

Un réseau ($R - 2*2R$) est associé à un convertisseur courant – tension. Le réseau est alimenté sous une tension V_{ref} . Un interrupteur, commandé par l'état du bit b_0 , oriente le courant dans la branche soit vers le convertisseur courant - tension ($b_0=1$) soit vers la masse ($b_0=0$) :

1^{ère} remarque :

Le courant traversant la résistance R du réseau se divise en deux à travers les résistances $2R$.

2^{de} remarque :

L'impédance vue par la source V_{ref} est indépendante de l'état de l'interrupteur commandé par b_0 et elle vaut $2R$. Ainsi, la résistance $2R$ placée en fin du réseau peut elle-même être remplacée par un nouveau réseau R-2R.

L'expression de la tension de sortie est :

$$V_{out} = -R I_{ref} 2^{b_0} = -\frac{V_{ref}}{4} 2^{b_0}$$

III.2.2 Cas 2 cellules

On reprend le montage « une cellule » et on remplace la résistance 2R de fin de réseau par un nouveau réseau R-2R :

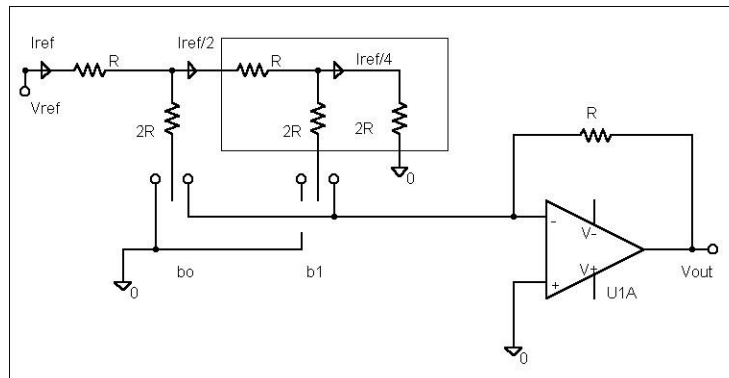


Figure 3 : Réseau R-2R à deux cellules

L'impédance vue par la source Vref est toujours 2R. Le courant se divise de deux en deux à travers les réseaux R-2R :

$$V_{out} = -R I_{ref} \left[\frac{b_0}{2} + \frac{b_1}{4} + \dots \right]$$

II.2.3 Cas n cellules

La structure complète est l'association de n cellules cascadées selon un réseau en échelle :

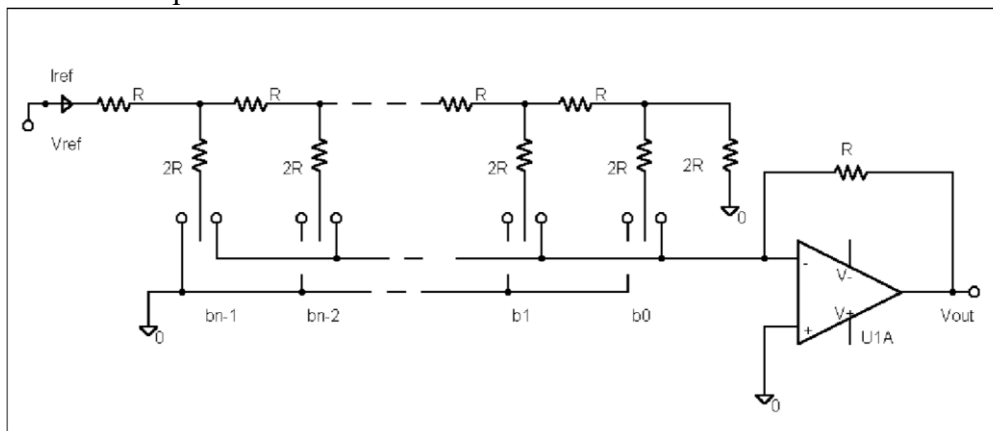


Figure 4 : Réseau R-2R à n cellules

La tension de sortie est proportionnelle à l'amplitude du code binaire :

$$V_{out} = \frac{V_{nref+1}}{2} \left[b_{n-1} 2^{n-1} + b_{n-2} 2^{n-2} + \dots + b_1 2^1 + b_0 2^0 \right] = \overline{N} 2 V_{nref+1}$$

II.2.4 Exemple de CNA à réseau R-2R : AD7532 ou DAC830

La structure est identique à celle développée précédemment :

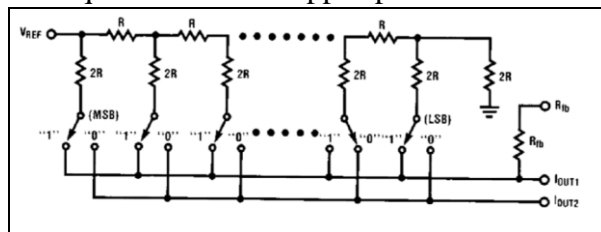


Figure 5 : Structure interne de CNA AD7532

Cette fois-ci, l'impédance d'entrée du montage est R.

On note que l'ensemble des résistances est intégré ainsi que la résistance, ici appelée Rfb (feedback), qui peut assurer la conversion courant – tension.

Le calcul des courants sortant donne :

$$I_{out1} = \frac{V_{ref}}{R} (b_{n-1}2^{n-1} + \dots + b_0 2^0)$$

$$I_{out2} = \frac{V_{ref}}{2R} (b_{n-1}2^{n-1} + \dots + b_0 2^0)$$

Ce calcul suppose que les courants de sortie I_{out1} et I_{out2} sont à la masse. I_{out1} est directement proportionnel au code N. On peut remarquer que la somme des courants de sortie est constant :

$$I_{out1} + I_{out2} = \frac{V_{ref}}{R} (2^{n-1})$$

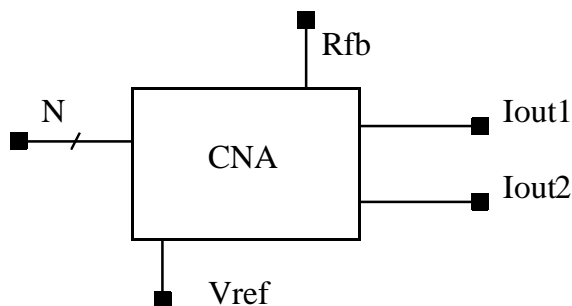
La différence des courants de sortie est :

$$I_{out1} - I_{out2} = 2I_{out1} - \frac{V_{ref}}{R} (2^{n-1})$$

On n'a dans ce cas une évolution entre $-\frac{V_{ref}}{R}$ et $\frac{V_{ref}}{R}$ de la différence du courant.

II.2.5 Modélisation d'un CNA R-2R

A partir de ce que l'on a vu précédemment, on pourra représenter un CNA par la structure suivante :



II.2.6 Montage de sortie associé

1. Sortie unipolaire

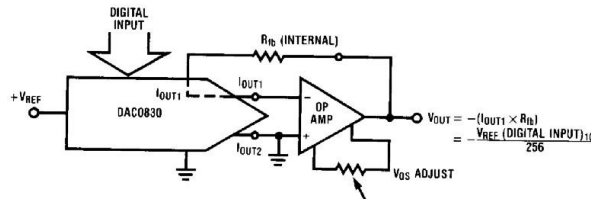


Figure 6 : montage unipolaire

L'utilisation d'un seul Amplificateur Opérationnel suffit. Mais dans ce cas, la sortie de de signe constant.

2. Sortie bipolaire

Dans ce cas, on souhaite avoir une tension de sortie qui puisse évoluer entre +/-Vref :

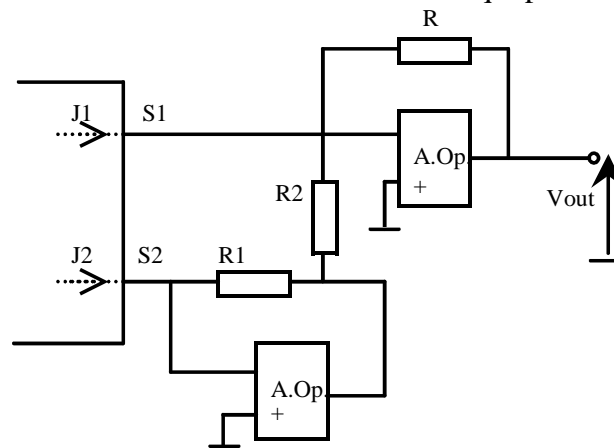


Figure 7 : Montage bipolaire

Le montage ci-dessus fait appel à deux A.Op. La résistance R peut être la résistance Rfb intégrée dans le composant. La valeur de la tension de sortie est :

$$V_s = R_{fb} \left[J_1 - \frac{R_1}{R_2} J_2 \right]$$

En prenant $R_1=R_2$, on obtient une sortie bipolaire symétrique.

Remarque :

On se méfiera du montage à un seul A.Op :

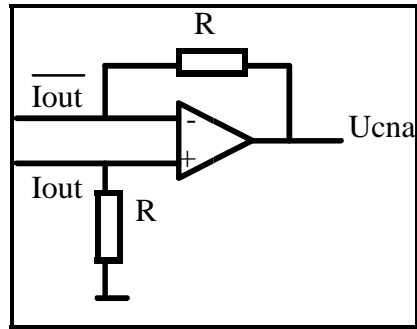


Figure 8 : montage bipolaire à un A.Op.

Dans ce cas, les sorties I_{out} et I_{out} n'étant pas directement reliées à la masse, le calcul de ces courants est perturbé par la présence des résistances. Si celles-ci sont suffisamment petites devant la valeur des résistances intégrées on pourra considérer le calcul juste.

On peut aussi utiliser un montage à trois A.Op. qui utilise deux convertisseurs courant - tension pour chaque courant I_{out1} et I_{out2} , ils sont ensuite associés à un soustracteur. Mais ce montage n'apporte pas d'amélioration au montage à deux A.Op.

II.2.7 Glitch

Lors de la conversion d'un code binaire en tension analogique, on commute des courants par l'intermédiaire d'interrupteurs. Or cette commutation n'est pas instantanée, de plus les interrupteurs de commutation pas tous en même temps. Notamment, l'interrupteur associé au MSB est celui qui doit commuter le plus de courant, c'est donc celui qui est le plus lent. Cela se traduit par des glitch qui représentent la commutation progressive des interrupteurs.

Ce phénomène est le plus flagrant lors du passage du code 0111 au code 1000. Le régime transitoire fait que le code passe par les transitions suivantes :

$$\mathbf{0111} \Rightarrow 0110 \Rightarrow 0100 \Rightarrow 0000 \Rightarrow \mathbf{1000}$$

La dernière transition fait passer la sortie du code 0000 au code 1000, ce qui se traduit par des variations importantes de la tension de sortie sous la forme de parasites que l'on appelle Glitch. Au code zéro, la tension tend à aller vers 0 volt puis au code 1000 vers $V_{ref}/2$ dans le cas d'un code unipolaire positif.

Remarque :

Le CNA à réseau d'échelle :

Cette structure de convertisseurs présente l'avantage de ne provoquer la commutation que d'un seul interrupteur par code. Cela permet d'éliminer les régimes transitoires (Glitch) qui peuvent apparaître sur certains CNA :

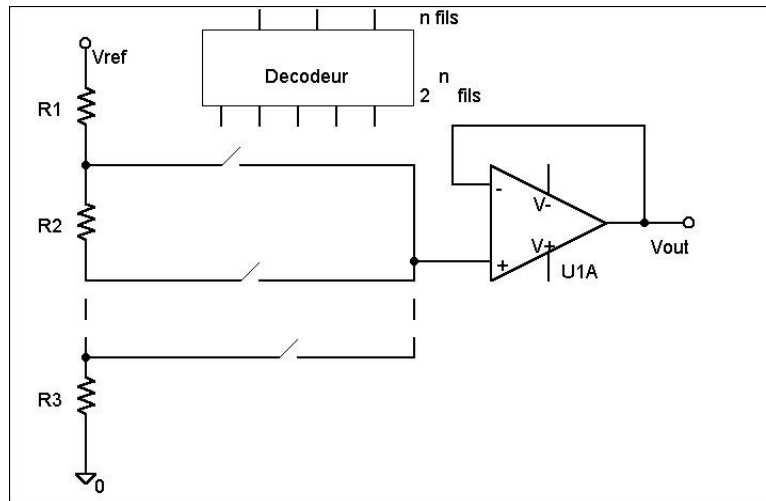


Figure 9 : CNA à réseau d'échelle

IV III Application des CNA : multiplieur / diviseur

III.1 Multiplieur

La tension de sortie d'un CNA est du type :

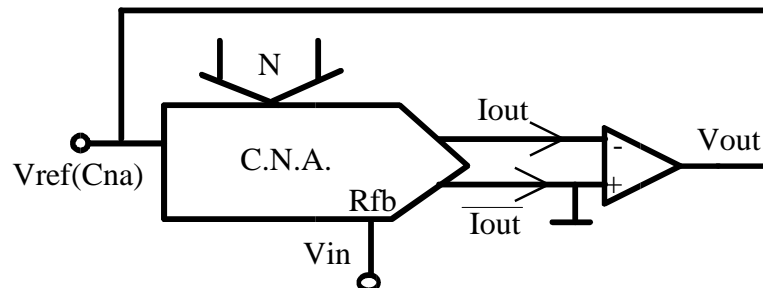
$$V_{out} = 2 \frac{N}{n} V_{ref}$$

Si N est fonction d'une tension V1 (par l'usage d'un CAN) et si l'entrée du CNA est reliée à une tension V2, alors Vout est l'image du produit de V1 Par V2.

$$V_{out} = k \cdot V1 \cdot V2$$

III.2 Diviseur

Soit la mise en œuvre suivante d'un CNA R2R :



L'entrée Rfb est une entrée qui est connectée via une résistance intégrée Rfb à la patte de sortie Iout (on prendra Rfb=R).

Les équations du montage sont :

$$V_{out} = A \varepsilon$$

$$V_{in} + \varepsilon = -R_{fb} I_{out}$$

$$I_{out} = \frac{N V_{out}}{2^n R}$$

En prenant A comme infini, on obtient :

$$V_{out} = - \frac{2^n V_{in} N}{R}$$

On est donc capable de diviser une tension d'entrée Vin par un chiffre binaire N.

CHAPITRE VII

Les Convertisseurs Analogiques Numériques

Les Convertisseurs Analogiques Numériques

Le but du CAN est de convertir un signal analogique continu en un signal discret et cela de manière régulière (à la fréquence d'échantillonnage).

Il existe différents types de convertisseur qui vont se différencier par leur temps de conversion et leur coût (Surface de silicium).

$$V_{\text{can}} \rightarrow N = \sum_{i=0}^{n-1} b_i 2^i$$

V Les convertisseurs à intégration

VI Le convertisseur simple rampe

1.1 Principe

A la valeur de la tension d'entrée on fait correspondre une impulsion dont la largeur est proportionnelle à cette tension. Cette impulsion vient contrôler l'autorisation à s'incrémenter d'un compteur. On génère ainsi le code binaire de sortie en comptant plus ou moins longtemps en fonction de l'amplitude du signal à convertir.

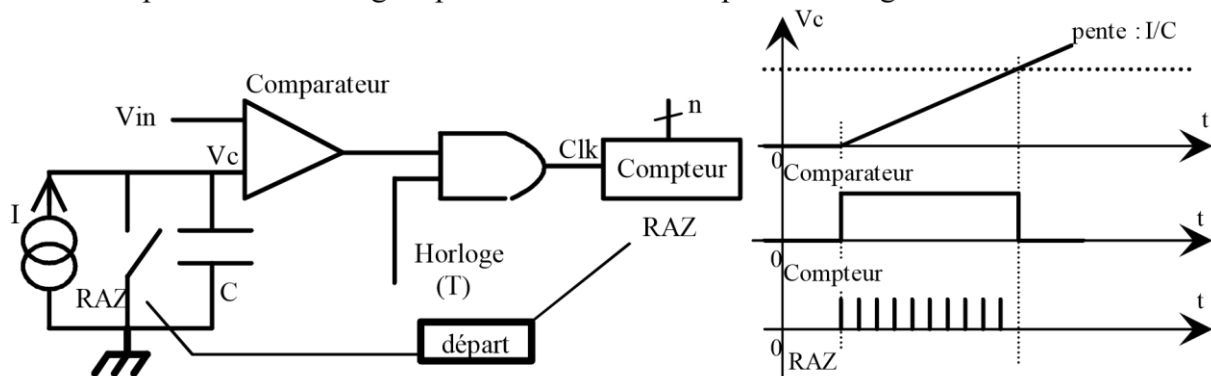


Figure 1 : Principe du convertisseur simple rampe

1.2 Phases de fonctionnement Phase

1 : RAZ $V_c=0$ et $N=0$

Phase 2 : Intégration aux bornes du condensateur sous un courant constant tant que la tension du condensateur V_c est inférieure à la tension à convertir V_{in} .

$$V_c = C \frac{1}{I} \int Idt = C \frac{I}{I} t$$

$V_c < V_{in} \Rightarrow$ on compte tous les T , T période de l'horloge système.

Phase 3 : $V_c=V_{in}$

Le comparateur bascule et bloque le compteur à sa dernière valeur N :

$$N = \frac{C V_{in}}{I T}$$

On obtient une valeur comptée N qui est fonction de V_{in} , C , I et T .

I.3 Caractéristiques

+ Avantages :

- Simple et peu coûteux.
- Inconvénients :
- N dépend de C donc de la tolérance sur C .
- Lent car nécessite 2^N cycles d'horloges pour effectuer une conversion.
- Comme il n'y a pas de synchronisme entre l'horloge et le RAZ, cela induit une

imprécision de 1 période au début et à la fin de la conversion soit une erreur moyenne de 1,5 quantum. **II Le convertisseur à rampe numérique**

II.1 Principe

Dans ce cas, on remplace l'intégrateur analogique par un convertisseur N/A :

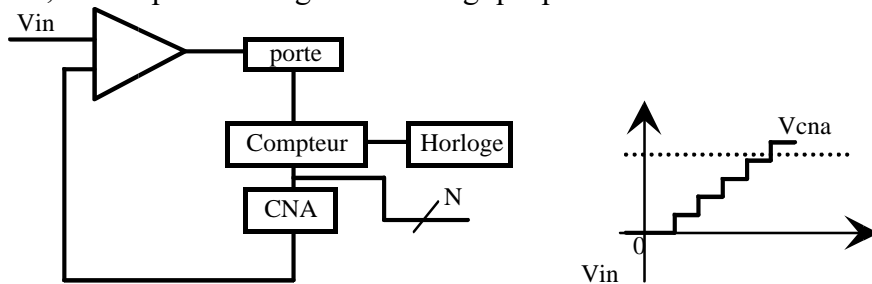


Figure 2 : Principe du convertisseur à simple rampe

La rampe est ainsi réalisée de manière numérique. Le temps n intervient plus comme variable.

VII III Le convertisseur double rampe (ou par intégration)

III.1 principe

On effectue une double intégration de manière à faire s'annuler les erreurs dues aux composants :

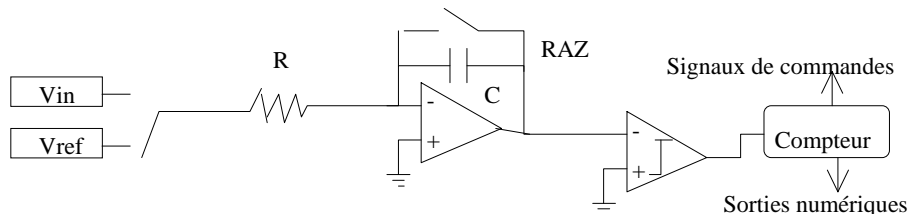


Figure 3 : Architecture du convertisseur double rampe

III.2 Phases de fonctionnement

Phase 1: On charge une capacité pendant un temps T_0 , fixé, sous la tension à mesurer. T_0 représente un cycle complet du compteur.

Phase 2 : On décharge la capacité sous une tension fixée V_{ref} . Durant cette décharge, on incrémente un compteur (n bits) qui une fois la décharge terminée, sera l'image numérique de la tension à quantifier.

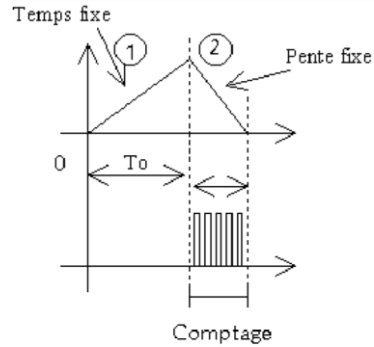
On notera qu'il faut que V_{ref} et V_{in} soit de signe opposé.

La durée de fonctionnement du compteur est alors : $T = T_0 \frac{V_{in}}{V_{ref}}$

Vref

On s'affranchit de l'incertitude sur la capacité. tension de référence intervient dans la mesure ainsi que (N) d'impulsions Te enregistrées durant T.

$$\text{On a : } T_0 = 2^n T_e \text{ et } T = N T_e, \text{ d'où : } \boxed{N} = \boxed{2^n} \frac{\boxed{V_{in}}}{\boxed{V_{ref}}}$$



Seule la le nombre

Ces convertisseurs offrent une bonne résolution, mais sont très lents. On peut les utiliser avec des cycles de conversion de 20ms de manière à s'affranchir de l'influence du secteur (50Hz). Au USA, on utilise des temps de conversion de 16.6ms du à la fréquence du réseau qui est de 60Hz.

Ils sont utilisés dans le cas de mesure de température, de valeurs quasi-constantes. En instrumentation basse fréquence, on peut atteindre une résolution de 18 bits.

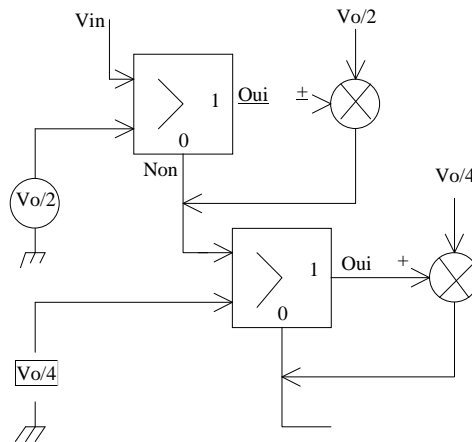
On ne peut espérer des temps de conversion très courts car il nécessite au moins $2 \cdot 2^N$ cycles d'horloge par acquisition.

VIII IV Le convertisseur par pesées (approximations) successives

C'est une vieille approche qui est en phase d'être remplacée par les convertisseur Pipeline.

IV.1 Principe

On détermine les valeurs des différents bits l'un après l'autre en commençant par le MSB, un peu à la manière d'un marchand de marché :



$$V_{in} = \frac{V_{ref}}{2} b_{n-1} + \frac{V_{ref}}{4} b_{n-2} + \dots$$

Figure 4 : Principe de la pesée successive

Le signal est comparé à une tension de référence: $V_0/2$. S'il est supérieur, on lui retranche cette valeur et on met le bit de comparaison à '1', sinon on met le bit de comparaison à '0' et on le compare à la tension suivante.

$$V_{in} \Leftrightarrow \frac{V_{ref}}{2} \quad \text{puis} \quad V_{in} - \frac{V_{ref}}{2} \quad b_{n-1} \Leftrightarrow \frac{V_{ref}}{4} \quad \text{etc...}$$

On effectue ainsi un encadrement progressif de plus en plus fin.

Ainsi pour un CAN N bits, en N coups on obtient la conversion.

Il est plus lent que le Flash. Ainsi pour 16 bits, il lui faut en moyenne un temps de conversion de 10µs. Il est très adapté à des signaux audio.

IV.2 Mise en œuvre

On dispose d'un registre qui à chaque coup d'horloge va décaler le code initial pour arriver au code final :

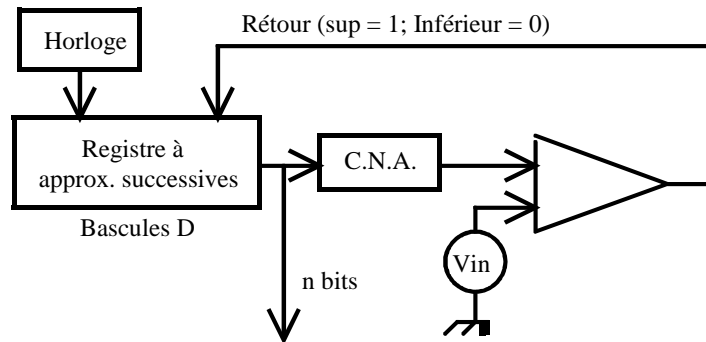


Figure 5 : Elaboration d'un convertisseur à approximations successives

On effectue une comparaison de la tension à convertir V_{in} avec la tension issue du CNA connecté au registre. Le premier code issu du registre est 1000 (Cas d'un CAN 4 bits), code correspondant à la tension « moitié » ($V_{ref}/2$). Puis on décale ce code vers $*100$ puis $**10$ etc... A la place de «*», on vient placer le résultat de la comparaison. Si la tension d'entrée est supérieure on positionne un «1», si elle est inférieure on positionne un «0».

Ci-dessous un exemple de cycle de conversion :

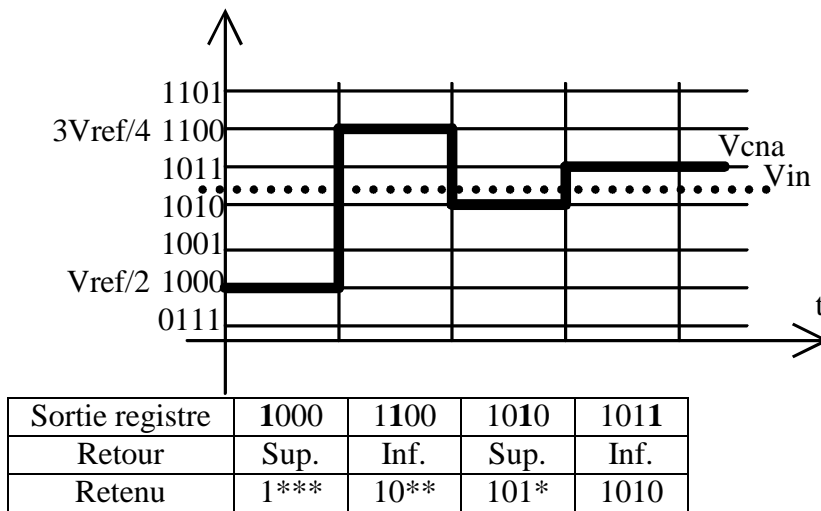


Figure 6 : Evolution du code au cours des pesées successives

IX V Le convertisseur Flash (ou par comparaison directe)

V.1 Principe

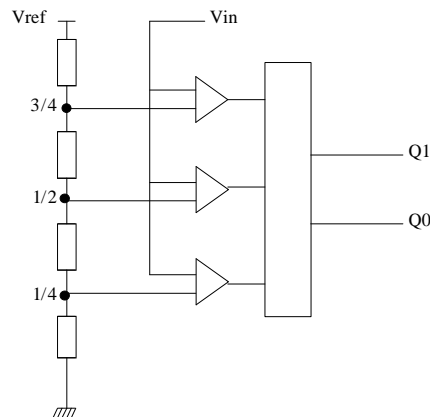


Figure 7 : le convertisseur Flash

C'est un réseau de comparateur mis en parallèle. Un codage sur n bits nécessite 2^{n-1} comparateurs et résistances.

Le type de conversion est lié au choix des valeurs de résistances :

Position Résistance	Quantification linéaire Centrée	Quantification linéaire Par défaut
Connectée Vref	$3R/2$	R
...	R	R
...	R	R
Connectée Masse	$R/2$	R

La conversion est faite en un coup d'horloge, c'est un système qui est très rapide (>300 Mhz) mais qui coûte très cher. Utilisé en vidéo (30Mhz), il est limité à 12 bits (coût et fabrication de l'encodeur).

Le passage d'un code « thermométrique » au code binaire est très gourmand en terme de surface de silicium. (2^{n-1} comparateurs) et consomme de la puissance.

8 bits	400 Mhz	2.7 W	$6*8$ mm ²
6 bits	6 Ghz	2 W	$3*4$ mm ²

X VI Le convertisseur semi-flash

VI.1 Principe

La conversion se fait en deux étapes :

- Phase 1 : on utilise un premier CAN Flash qui détermine les principaux bits de poids fort.
- Phase 2 : on soustrait la tension des bits de poids fort à la tension d'entrée pour ensuite déterminer les bits de poids faible.

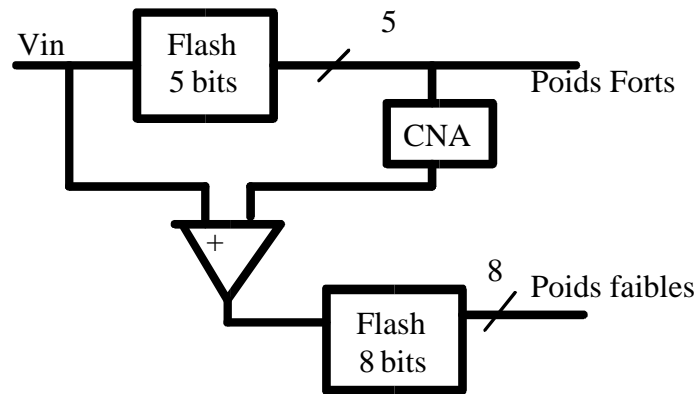


Figure 8 : le convertisseur semi-Flash

On utilise un premier CAN sur N_1 bits pour déterminer le MSB. Puis un CNA sur N_1 bits de manière à retrancher la partie entière, le résidu est converti à l'aide d'un CAN sur N_2 bits.

Ainsi en deux coups d'horloge on effectue la conversion. L'avantage réside en la diminution de la surface de Silicium nécessaire comparé à un CAN Flash. On appelle aussi ce type de Convertisseurs des convertisseurs série parallèle. On peut ainsi augmenter la résolution en diminuant la surface de la puce comparativement au Flash, mais on augmentera le temps de conversion. On trouve des CAN sur ce principe en 8 bits à 40Mhz.

XI VII Bilan comparatif rapide des CAN

	Durée de CV	Fréq. Utilisation	Nbre de bits	Coût
Double pente	2^N cycles	kHz	> 16 bits	\$
Approximations	N cycles	50 khz	16 bits	\$\$
Flash	1 cycles	> 10 Mhz	10 - 12 bits	\$\$\$

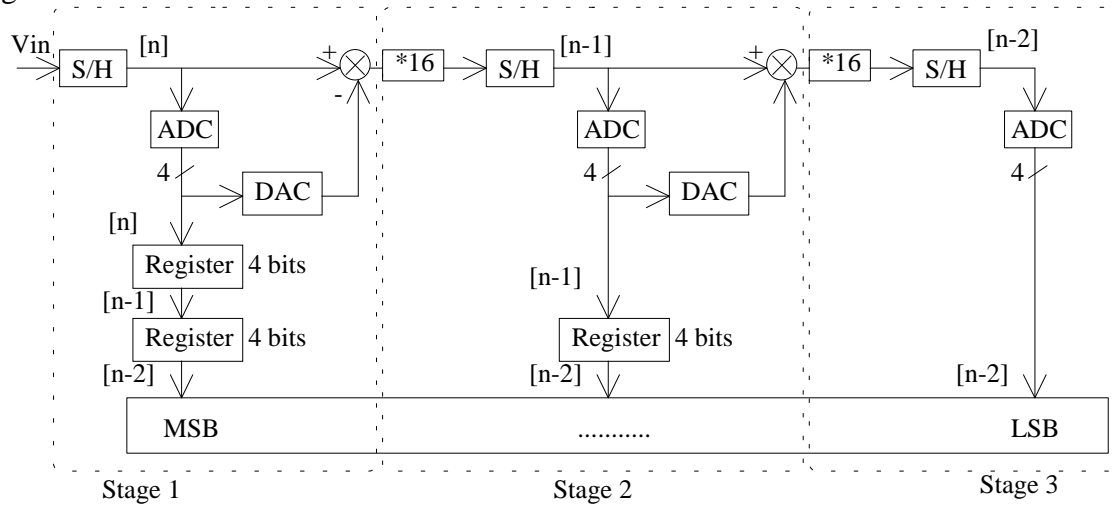
XII VIII Convertisseur Pipeline

VIII.1 Principe

C'est un convertisseur qui se comporte comme un semi flash auquel on a ajouté un E/B entre chaque étage.

A chaque coup d'horloge, on fait effectuer n conversions en parallèle. Chaque conversion étant dédié à une partie du code. En traversant le convertisseur (en n clocks), la tension d'entrée est convertie en commençant par les bits de poids forts et finissant par les bits de poids faibles.

Nous prendrons ci-dessous le cas d'un convertisseur pipeline 12 bits décomposés en 3 étages de 4 bits chacun :



A chaque front d'horloge, on effectue 3 conversions en parallèle au travers de chaque cellule. Chaque conversion correspond à une partie du code binaire.

Etage 1 : MSB de l'entrée correspondant à l'instant [n]

Etage 2 : Bits intermédiaires de l'entrée correspondant à l'instant [n-1]

Etage 3 : LSB de l'entrée correspondant à l'instant [n-2]

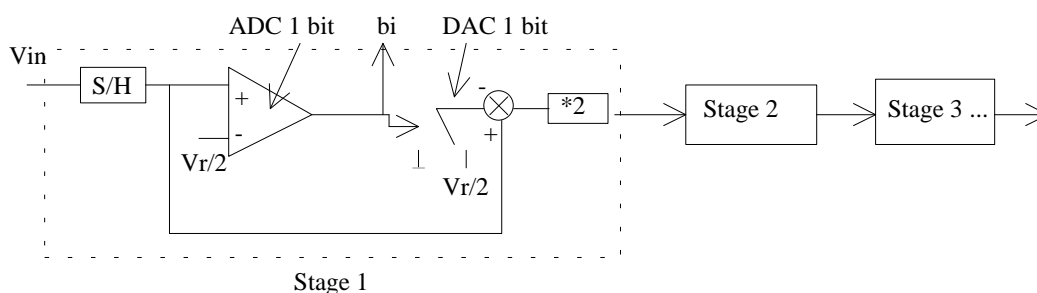
A la fin de chaque étape, on calcule le résidu de la conversion partielle, ce résidu est ensuite recalé à la pleine échelle par une multiplication..

Ce convertisseur possède un temps de latence nécessaire à la propagation de l'entrée dans les cellules (ici 3 coûts d'horloge).

Mais une fois le convertisseur « chargé », à chaque coût d'horloge il sort une data.

VIII.2 Cas du pipeline N étages 1 bits

C'est une structure comparable au CV algorithmique :

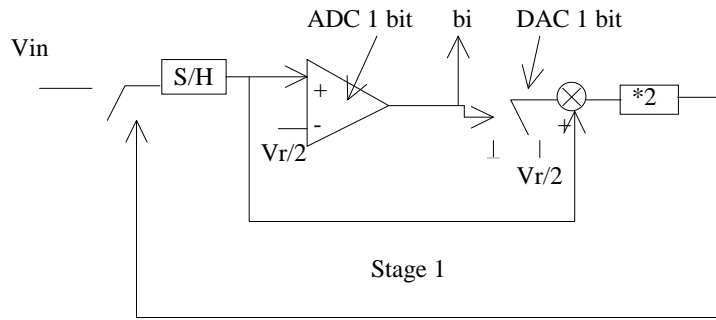


Chaque étage marche en parallèle de manière décalée.

Il sont utilisable en video (10-14 bits ; 100khz 100Mhz). Par contre on ne peut faire d'asservissement numérique du à la présence du temps de latence.

XIII IX Convertisseur Algorithmique

La conversion s'effectue bit après bit du MSB au LSB. Il suffit de reprendre le premier étage du pipeline (1 bit) et de le reboucler sur lui même :



On effectue un encadrement progressif du code binaire finale.

Il faut N coups d'horloge pour obtenir le code finale qui est obtenu de manière série. Bien évidemment, ce type de convertisseur occupe une surface de silicium réduite, consomme peu et n'est pas cher.

XIV X Convertisseur à suréchantillonnage

X.1 Principe

Quant on veut améliorer la précision d'un convertisseur, on augmente le nombre de bits. Dans le cas d'un convertisseur à suréchantillonnage, on se base sur un codage minimaliste (un bit) qui se déroule à très haute fréquence bien au delà de la fréquence dite de shannon ($F_e = 2F_{max}$).

De cette manière, on étale le spectre du bruit de quantification sur une plus grande gamme de fréquence, améliorant ainsi le rapport signal sur bruit. De plus, les convertisseurs à suréchantillonnage ont la particularité à repoussé le bruit en haute fréquence, diminuant d'autant ce bruit dans la bande passante. C'est donc par un échantillonnage à haute vitesse que l'on augmente la précision.

X.2 Influence sur le bruit de quantification

Lors de la numérisation d'un signal sur N bits, le codage de l'amplitude sur un nombre fini de possibilité entraîne un bruit de quantification.

Ce bruit de quantification se caractérise par sa puissance de bruit : $P_b = \frac{1}{2} q^2$ avec q le pas de

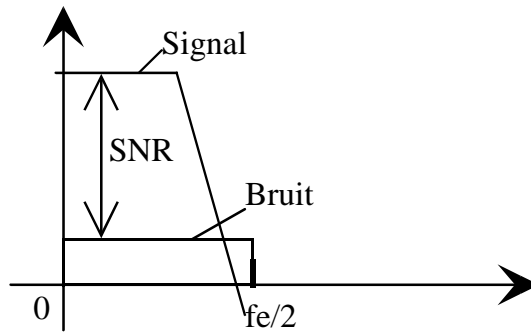
quantification $q = \frac{\Delta V_{max}}{2^N} C_e$ qui donne un rapport signal sur bruit :

$$SNR_{db} = 10 \log(P_b \frac{P_s}{P_b}) = 6,02N + 1,76dB$$

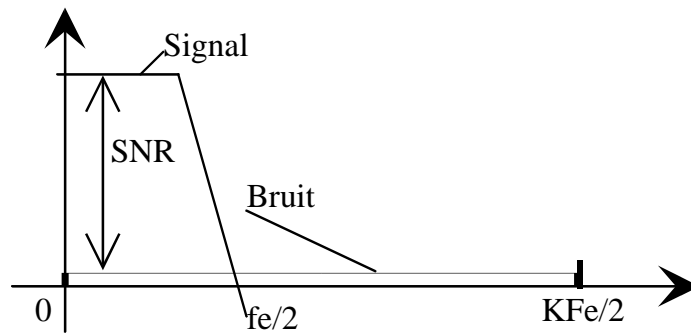
Un bit de code rajoute 6dB de SNR. Cela revient à dire qu'un SNR de 120 dB correspond à une quantification sur 20bits.

La répartition spectrale de cette puissance de bruit donne une densité spectrale de puissance uniforme répartie entre $-F_e/2$ et $F_e/2$ avec comme amplitude :

$$D_{sb}(f) = q^2$$



Si on échantillonne le même signal mais cette fois-ci à une fréquence K fois supérieure, on va diviser d'autant la densité spectrale du bruit qui va cette fois s'étaler entre $-KFe/2$ et $KFe/2$:



Ainsi dans la bande de fréquence $[0 ; Fe/2]$ la puissance du bruit est divisé par K , soit un SNR :

$$SNR_{db} = 6,02N + 1.76dB + 10\log(K)$$

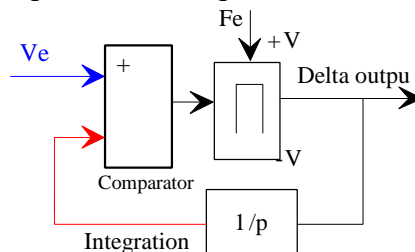
Utiliser une fréquence d'échantillonnage 4 fois supérieure à la fréquence dite de Shannon revient à augmenter le SNR de 6 db soit un gain de 1 bit.

Par cette technique on va pouvoir améliorer le SNR d'une chaîne d'acquisition et soulager le filtre anti-repliement en entrée de chaîne. En effet il doit laisser passer jusqu'à F_{max} ($Fe/2$) et couper au plus à $Kfe/2$.

Pour revenir à un format et débit de données désiré, on utilise un filtre numérique qui permet de mettre en forme le bruit en le repoussant dans les Hautes Fréquences, puis une décimation (Comb filter) permet en moyennant les données de se recaler à un débit à la fréquence Fe .

X.3 Le modulateur delta

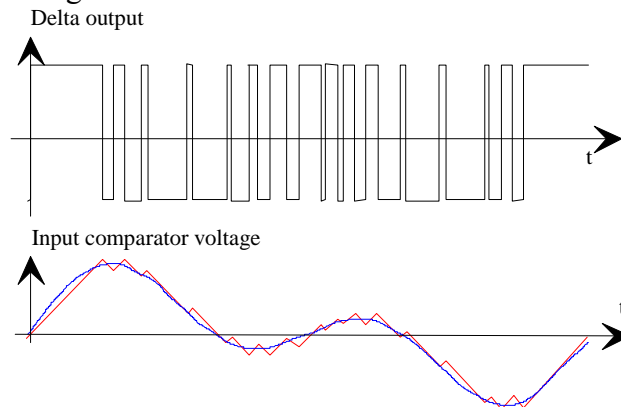
Un modulateur delta se compose d'un comparateur et d'un intégrateur.



On compare le signal d'entrée (V_e) à la sortie de l'intégrateur ($V_{s.int}$). En fonction de cette comparaison, on va venir modifier le signe de la tension d'entrée de l'intégrateur. De cette manière, la tension V_{sint} va tendre à suivre l'évolution de la tension V_e :

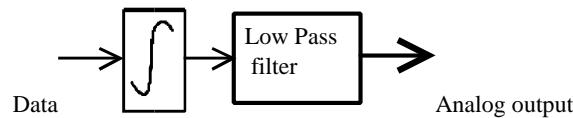
Si $V_e > V_{s.int}$: on va intégrer positivement de manière à « forcer » $V_{s.int}$ à se rapprocher de V_e .

Si $V_e < V_{s.int}$: on va tendre à faire diminuer $V_{s.int}$ en appliquant une tension négative à l'entrée de l'intégrateur.



On obtient une sortie sur un bit en fréquence élevée.

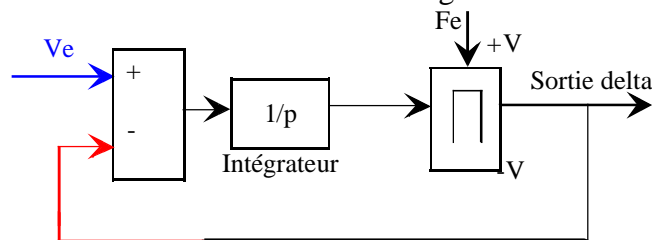
Par cette modulation, on effectue un codage de la pente (dérivée) du signal. La démodulation reprend la même structure du modulateur auquel on associe un filtre passe bas.



Remarque : il existe des structures de modulateur delta qui adapte leur pente d'intégration en fonction de la nature du signal (AN1544 Motorola)

X.4 Structure Delta sigma

Cette structure découle du modulateur delta. En rajoutant sur l'entrée du signal un intégrateur, le modulateur delta effectue alors un codage de l'amplitude du signal d'entrée. le comparateur voit deux intégrateurs sur ses entrées, en les faisant alors glisser en sortie du comparateur, on obtient la structure du convertisseur sigma delta :



De manière macroscopique, on s'assure que la valeur moyenne de la sortie delta suit la valeur moyenne de la tension d'entrée. En cas d'écart, l'intégrateur vient compenser.

$$\langle V_{s\delta} \rangle = V_e$$

La sortie est dans ce cas sur un bit en très haute fréquence. On associe au convertisseur un filtre numérique décimateur qui a pour objectif de fournir un signal numérique au format désiré et à la fréquence souhaitée. De plus il élimine le bruit hors de la bande passante du signal.

